
**Monolithisch integrierte
Augenöffnungs-Analysatoren für
hochbitratige
glasfasergebundene Übertragungssysteme**

Dissertation

zur Erlangung des Grades eines
Doktor-Ingenieurs
der Fakultät für Elektrotechnik und Informationstechnik
an der Ruhr-Universität Bochum

von

Tobias Ellermeyer
aus Essen

Bochum 2002

Dissertation eingereicht am: 22. März 2002
Tag der mündlichen Prüfung: 29. November 2002
Referent: Prof. Dr.-Ing. U. Langmann
Korreferent: Prof. Dr.-Ing. H. Jäckel

Inhaltsverzeichnis

1	Einleitung	1
1.1	Motivation	2
1.2	Gliederung der Arbeit	6
2	Grundlagen und Vorüberlegungen	7
2.1	Eigenschaften von Glasfasern aus nachrichtentechnischer Sicht . .	8
2.1.1	Dämpfung einer Glasfaser	9
2.1.2	Chromatische Dispersion	11
2.1.3	Modendispersion	12
2.1.4	Polarisationsmodendispersion	13
2.1.5	Nichtlineare Effekte	15
2.2	Möglichkeiten zur Kompensation der chromatischen Dispersion . .	16
2.2.1	Dispersionsverschobene bzw -kompensierende Glasfasern .	17
2.2.2	Kompensation durch spezielle Übertragungsverfahren . . .	17
2.2.3	Kompensation durch elektronische Signalverarbeitung . . .	18
2.3	Kompensation der Polarisationsmodendispersion	19
2.4	Zusammenfassung zu Kapitel 2	20
3	Bewertung der Signalqualität digitaler Signale	23
3.1	Das Augendiagramm als Maß für die Signalqualität	24
3.2	Überblick über bekannte Prinzipien zur Signalqualitätsbewertung	25
3.2.1	Bitfehlerrate	25
3.2.2	Bewertung mit Hilfe der Pseudo-Fehlerrate	26
3.2.3	Bewertung durch ein Histogramm	27
3.2.4	Bewertung anhand eines Rasters	28
3.2.5	Übersicht über die vorgestellten Verfahren	28
3.3	Verwendetes Prinzip der Augenöffnungsbewertung	29
3.3.1	Implementierung des Bewertungsrechtecks	30
3.3.2	Verifikation des Prinzips mit einer Hardware-Beschreibungs- sprache	32
3.4	Zusammenfassung zu Kapitel 3	33

4	Der Augenmuster-Analysator	35
4.1	Schaltungstechnik für hohe Datenraten	37
4.2	Schaltungsstruktur des Analysator-Kerns	37
4.2.1	Komparatorstufe des Analysators	37
4.2.2	Abtaststufe	42
4.2.3	Auswerte-Logik	43
4.2.4	Ladungspumpe	44
4.2.5	Phasenschieber	46
4.3	Phasenregelschleife	47
4.3.1	Schaltungsstruktur der Phasenregelschleife	48
4.3.2	Phasendetektor	50
4.3.3	270° Phasenschieber	53
4.3.4	Erweiterung des Phasenbereichs	54
4.4	Layout und Chip-Varianten	58
4.5	Messergebnisse	60
4.5.1	Verwendeter Messaufbau	60
4.5.2	Messergebnisse für den Analysator-Kern ohne Phasenregelschleife	62
4.5.3	Messergebnisse für den Analysator mit Phasenregelschleife	63
4.5.4	Messergebnisse weiterer Test-ICs	67
4.6	Zusammenfassung zu Kapitel 4	68
5	Erweiterung des Augenmuster-Analysators	71
5.1	Mehrwertige Signale	72
5.2	Bewertung der Augenqualität bei quaternären Signalen	73
5.2.1	Definition des Bewertungsrechtecks	73
5.2.2	Abtastung jedes dritten Auges	74
5.2.3	Abtasttakte bei Verwendung eines Dreiphasentakts	75
5.3	Schaltungsstruktur des erweiterten Augenmuster-Analysators	76
5.4	Modifikationen am Analysator	78
5.4.1	Komparatorstufe des erweiterten Analysators	78
5.4.2	Einstellung der Referenzspannungen	81
5.4.3	Takterzeugung im Analysator	83
5.4.4	Phasenschieber mit einem Einstellbereich von 0° bis 120°	83
5.5	Modifikationen an der Phasenregelschleife	86
5.5.1	3:1 Frequenzteiler	86
5.5.2	Erzeugung des Dreiphasentakts	88
5.5.3	Phasendetektor für einen dreiphasigen Takt	89
5.6	Layout und Chip-Varianten	90
5.7	Messergebnisse	92
5.7.1	Messergebnisse für die Phasenregelschleife	92
5.7.2	Messergebnisse für den erweiterten Analysator	93
5.7.3	Messergebnisse weiterer Chips	94
5.8	Zusammenfassung zu Kapitel 5	99

6	Ausblick - Eine weitere Variante eines Augenmuster-Analysators	101
6.1	Abtastung des Auges	102
6.2	Folge-/Halte-Schaltung	103
6.3	Takterzeugung	104
6.4	Simulationsergebnis	106
6.5	Zusammenfassung zu Kapitel 6	107
7	Zusammenfassung	109
A	Anhang	113
A.1	Benutzte Hilfsmittel	113
A.2	Halbleitertechnologie	113
A.3	Aufbautechnik	117
A.3.1	Erstellung der Mikrowellen-Struktur	117
A.3.2	Thermischer Übergang	120
A.4	Flip-Chip Aufbautechnik	122
A.5	Pseudo-Zufallsfolgen-Quelle für Simulationen	125

Symbol- und Abkürzungsverzeichnis

Allgemeine Konventionen

Die meisten Begriffe zu den hier behandelten Themengebieten kommen aus dem Englischen und sind vielfach bereits in den deutschen (Fach-) Wortschatz übernommen worden. In der vorliegenden Arbeit werden daher insbesondere für Abkürzungen und Formelzeichen häufig die geläufigen angelsächsischen Bezeichnungen verwendet. Bei ausgeschriebenen Wörtern hingegen wird die deutsche Bezeichnung bevorzugt.

Verzeichnis der verwendeten Abkürzungen

ADU	Analog/Digital-Umsetzer
AGC	Automatische Verstärkungsregelung (automatic gain control)
AMA	Augenmuster-Analysator
AND	Logische Und-Verknüpfung
BER	Bitfehlerrate (bit error rate)
CDR	Takt- und Datenrückgewinnung (clock and data recovery)
DAU	Digital/Analog-Umsetzer
DCF	Dispersionskompensierte Glasfaser (dispersion compensated fiber)
DEMUX	Demultiplexer
D-FF	D-Flip-Flop
DFF	Dispersionsflache Glasfaser (dispersion flattened fiber)
DGD	Differentielle Gruppenlaufzeit (differential group delay)
DHBT	Doppel-Heterobipolartransistor („Echter SiGe-HBT“)
DLL	Phasenregelschleife (delay-locked loop)
DSF	Dispersionsverschobene Glasfaser (dispersion shifted fiber)
DST	Dispersionsunterstützte Übertragung (dispersion-supported transmission)
DWDM	Dichtes Wellenlängen-Multiplex-Verfahren (dense wavelength division multiplex)

E ² CL	Emitter-Emitter gekoppelte Logic (emitter-emitter-coupled-logic)
EDFA	Erbiumdotierter Glasfaserverstärker (erbium doped fiber amplifier)
EF	Emitter-Folger
ESD	Elektrostatische Entladung (electrostatic discharge)
EXOR	Logische Exklusiv-Oder-Verknüpfung
FD	Flankendetektor
FEC	Vorwärts-Fehlerkorrektur (forward error correction)
FWM	Vierwellenmischung (four-wave mixing)
GaAs	Gallium-Arsenid
GSSG	Leitungsanordnung Masse-Signal-Signal-Masse (ground-signal-signal-ground)
HBT	Heterobipolartransistor
IR	Infrarot
λ -DEMUX	Wellenlängen-Demultiplexer
λ -MUX	Wellenlängen-Multiplexer
LAN	Lokales Netzwerk (Lokal Area Network)
MS-D-FF	Master-Slave D-Flip-Flop
MUX	Zeitmultiplexer
OR	Logische Oder-Verknüpfung
PD	Phasendetektor
PER	Pseudo-Bitfehlerrate (pseudo error rate)
Ph _{0/90}	Eingang zum Umschalten der Phasenlage in der DLL (10 Gbit/s Entwurf)
PMD	Polarisationsmodendispersion
REG	Regenerator
SF	Schleifenfilter
SHBT	Single-Heterobipolartransistor (Drift-HBT)
Si	Silizium
SiO ₂	Siliziumdioxid
SS	Stromschalter
μ C	Mikrocontroller
UV	Ultraviolett
VCO	Spannungsgesteuerter Oszillator (voltage controlled oscillator)
WDM	Wellenlängen-Multiplex-Verfahren (wavelength division multiplex)
XPM	Kreuzphasenmodulation (cross-phase modulation)

Verzeichnis der verwendeten Symbole

A	Fläche
B	Bitrate = $\frac{1}{T_{\text{Bit}}}$
B_L	Bandbreiten-Länge-Produkt
BV_{CEO}	Kollektor-Emitter-Durchbruchsspannung bei offener Basis

β	Stromverstärkung
c	Lichtgeschwindigkeit im Vakuum
Clk_0	Inphasentakt, synchronisiert mit dem Datensignal
$Clk_{1,2,3}$	Dreiphasentakt, bestehend aus drei einzelnen, um 120° versetzten Taktsignalen
Clk_{90}	Quadraturphasentakt, synchronisiert mit dem Datensignal
Clk_I	Inphasentakt
Clk_L	Abtasttakt, linke Kante des Bewertungsrechtecks
$Clk_{M1,2}$	Takt zur Detektion von Flankenwechseln im Datensignal
Clk_Q	Quadraturphasentakt
Clk_R	Abtasttakt, rechte Kante des Bewertungsrechtecks
Clk_{Sync}	Takt zur Synchronisation der Abtastwerte
Δn	Normierte Brechzahldifferenz $\Delta n = \frac{n_K - n_M}{n_K}$
ΔT	Temperaturdifferenz
Δt_{Auge}	Auf dem Oszilloskop gemessene Augenöffnung für vorgegebene Höhe
Δt_{PMD}	Polarisationsmoden-Verzögerung
f	Frequenz
f_{max}	Maximale Schwingfrequenz
f_T	Transitfrequenz
g_m	Steilheit
γ	Reflexionswinkel
Γ	Laufzeitfaktor
γ_{grenz}	Grenzwinkel der Totalreflexion
GND	Masse
I	Intensität
I_D	Differenzstrom
I_{gr}	(mittlerer) Entladestrom in der Ladungspumpe
I_{kk}	Ladestrom für massive Verletzung in der Ladungspumpe
I_{kl}	Ladestrom für normale Verletzung in der Ladungspumpe
j_C	Kollektorstromdichte
$j_{C,krit}$	Kritische Kollektorstromdichte; oberhalb dieses Wertes fällt die Transitfrequenz eines SiGe-HBTs stark ab.
$K_x(T_y)$	Signal des Komparators x zum Zeitpunkt y
L	Länge (der Glasfaser)
λ	Wellenlänge
M_{chrom}	Koeffizient der chromatischen Dispersion
M_{mat}	Koeffizient der Materialdispersion
M_{PMD}	Koeffizient der Polarisationsmodendispersion
M_{profil}	Koeffizient der Profildispersion
M_{welle}	Koeffizient der Wellenleiterdispersion
n	Brechzahl
n_K	Brechzahl des Kernmaterials einer Glasfaser
n_M	Brechzahl des Mantelmaterials einer Glasfaser
ω	Kreisfrequenz
p	Profildispersionsparameter

r	Radius
t	Zeit
T_{Bit}	Länge eines Bits
t_{chrom}	Laufzeitunterschied durch chromatische Dispersion
ϑ	Wärmeleitfähigkeit
T_L	Abtastzeitpunkt, linke Seite des Bewertungsrechtecks
t_{norm}	Normierte Augenöffnung $t_{norm} = \frac{\Delta t_{Auge}}{T_{Bit}}$
t_{PMD}	Laufzeitunterschied durch Polarisationsmodendispersion
T_R	Abtastzeitpunkt, rechte Seite des Bewertungsrechtecks
τ_b	Basis-Transitzeit
τ_f	Transitzeit
$U_{A,d}$	Ausgangs-Differenzspannung
U_{Auge}	Ausgangsspannung des Analysators als Maß für die Augengüte
U_{CM}	Gleichtaktspannung
U_D	Differenzspannung
U_{DefBox}	Spannung zum Einstellen der Höhe des Bewertungsrechtecks beim AMA2
U_{DefTA}	Spannung zum Einstellen des Abstandes Nulldurchgang mittleres Teilauge zu Nulldurchgang oberes/unteres Teilauge beim AMA2
$U_{E,d}$	Eingangs-Differenzspannung
$U_{K,d}$	Differenzspannung am Ausgang des Komparators
U_{LP}	Spannung über dem Kondensator der Ladungspumpe
U_{OS}	Offsetspannung
\bar{u}_{PD}	Mittlere Ausgangsspannung des Phasendetektors
U_{PhAdj}	Spannung zur Einstellung der Phasenlage zwischen DLL und Analysator
$U_{R,d}$	Differentielle Referenzspannung
U_{RefBox}	Interne Spannung zur Steuerung der Höhe des Bewertungsrechtecks beim AMA2
U_{RefO}	Obere Referenzspannung (obere Kante des Bewertungsrechtecks)
$U_{RefPegelAus}$	Schalteingang zur Abschaltung der Referenzspannungsausgänge $U_{RefPegel1,2}$ zur Stromersparung
$U_{RefPegel1,2}$	Spannungsausgänge zur Kontrolle der internen Referenzspannung beim AMA2
U_{RefTA}	Interne Spannung zur Auswahl des Teilauges beim AMA2
U_{RefU}	Untere Referenzspannung (untere Kante des Bewertungsrechtecks)
U_{SelO}	Schaltspannung zur Auswahl des oberen Teilauges
U_{SelU}	Schaltspannung zur Auswahl des unteren Teilauges
U_{SF}	Ausgangsspannung des DLL-Schleifenfilters
U_T	Temperaturspannung, $U_T = \frac{kT}{e} \approx 25,7 \text{ mV}$ bei 25°C
v	Ausbreitungsgeschwindigkeit
V_{EE}	Negative Versorgungsspannung (-5 Volt)

Einleitung

Heutzutage ist das Internet allgegenwärtig. In Deutschland verfügten im Mai 2001 28,4% aller Haushalte über einen Internet-Zugang [1]. Auch der Informationsaustausch zwischen Unternehmen, Forschungseinrichtungen und Behörden wird zunehmend *online* abgewickelt. Die allein in Deutschland aufkommende Datenmenge wächst dabei rasant, z.B. wurden im Gigabit-Wissenschaftsnetz (G-WiN) des Deutschen Forschungsnetzes im Juni 2000 durchschnittlich 250 Terabyte pro Monat übertragen. Wächst die Nutzung weiterhin in diesem Maße an, so wird das Datenvolumen im Jahre 2004 ca. 6 Petabyte pro Monat betragen [2].

Um diese riesigen Datenmengen übertragen zu können, werden immer schnellere Übertragungswege in den Backbone¹-Netzen benötigt. Diese zu realisieren ist unter anderem Aufgabe der Mikroelektronik. Allerdings reicht eine alleinige Erhöhung der Bitrate auf elektronischer Ebene dabei nicht mehr aus. Vielmehr sind spezielle Übertragungstechniken und die elektronische Kompensation von Störungen erwünscht. Da inzwischen die Datenübertragung zwischen Computern das Gros der übertragenen Informationen ausmacht, werden auch Ausfallsicherheit und Sicherstellung der Qualität (Quality of Service) immer wichtiger. Bei einem Telefongespräch sind Rauschen oder andere kleine Störungen noch tolerierbar, bei einer Datenübertragung hingegen kann die Information durch ein einziges fehlerhaft übertragenes Bit wertlos werden. Die hier vorliegende Arbeit soll daher einen Beitrag zur Sicherstellung einer optimalen Übertragungsqualität leisten. Dazu wurden Schaltungen zur Bestimmung der aktuellen Signalgüte entworfen, welche in einem System zur elektronischen Kompensation von Störungen eingesetzt werden können.

¹Mit Backbone (=Rückgrat) werden die schnellen Verbindungswege zwischen verschiedenen lokalen Netzen (LANs) bezeichnet.

1.1 Motivation

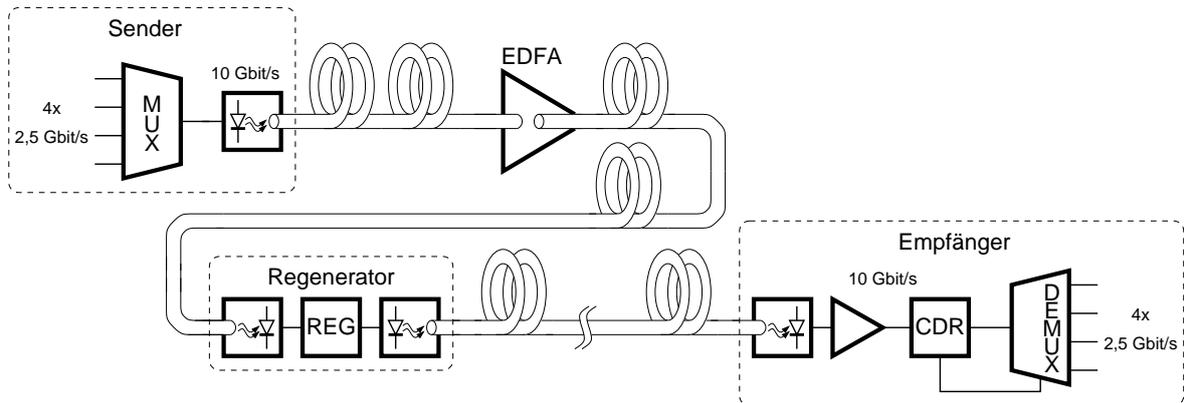


Abb. 1.1: Aufbau einer Glasfaserstrecke.

Bei einem typischen Glasfaser-System, wie in Abb. 1.1 dargestellt, wird aus mehreren Kanälen mit Hilfe von Multiplexern (MUX) durch Zeitmultiplex ein hochbitratiger Datenstrom erzeugt, dessen Netto-Datenrate heutzutage bei 2,488 Gbit/s, 9,952 Gbit/s oder bei neuen Systemen bei 39,8 Gbit/s liegt². Dieser noch elektrische Datenstrom wird dann mit Hilfe eines direkt modulierten Lasers oder eines elektrooptischen Modulators in ein optisches Signal umgewandelt und in die Glasfaser eingekoppelt. Da die Glasfaser eine gewisse Dämpfung aufweist (Genauerer in Kap. 2.1.1), muss der Signalpegel in regelmäßigen Abständen³ wieder angehoben werden. Dazu werden meist optisch gepumpte erbium-dotierte Faserverstärker (EDFA=erbium doped fiber amplifier) verwendet, welche eine große Bandbreite von 3800 GHz haben und transparent bezüglich des optischen Signals sind [4]. Mit zunehmender Streckenlänge leidet jedoch auch die Signalform aufgrund von Rauschen und unerwünschten Effekten der Glasfaser (vgl. Kap. 2.1), so dass die Signale regeneriert werden müssen. Hierzu werden die optischen Signale zunächst in elektrische gewandelt, verstärkt, zeitlich regeneriert und anschließend wieder in optische Signale umgesetzt. Insbesondere die zeitliche Regeneration ist meist nur für eine Bitrate ausgelegt, es gibt allerdings schon Untersuchungen zu bitratenflexiblen Systemen [5]. Im Empfänger wird das Signal ebenfalls zunächst wieder in elektrische Impulse gewandelt, verstärkt, und ein Taktsignal aus den Daten abgeleitet (CDR=clock and data recovery), wobei gleichzeitig eine

²Je nach Fehlerkorrekturverfahren (FEC=forward error correction) kann die effektive Bitrate höher sein, z.B. statt 9,953 Gbit/s dann 10,664 Gbit/s (FEC) bzw. 12,249 Gbit/s (SFEC).

³ca. alle 40-50 km bei Untersee-Systemen bzw. alle 80-120 km bei terrestrischen Systemen [3].

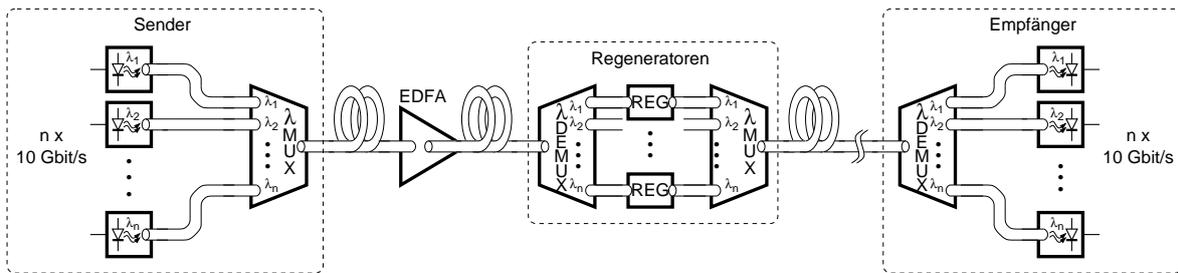


Abb. 1.2: Glasfaserstrecke mit Wellenlängen-Multiplex.

zeitliche Regeneration der Daten erfolgt. Anschließend wird der Datenstrom mit einem Demultiplexer (DEMUX) in seine ursprünglichen Kanäle zerlegt.

Um eine derartige Glasfaserstrecke auf eine höhere Datenrate aufzurüsten, gibt es prinzipiell zwei Möglichkeiten, welche auch miteinander kombinierbar sind:

1. Übertragung von mehreren Kanälen im Wellenlängenmultiplex-Verfahren (WDM=wavelength division multiplex, vgl. Abb. 1.2) bei verschiedenen Wellenlängen mit einem Abstand von 100 GHz bzw. 50 GHz bei dichtem WDM (DWDM). Hierzu müssen auf der Sender- und Empfängerseite sowie in den Regeneratoren Wellenlängen-(De-)Multiplexer eingesetzt werden.
2. Erhöhung der Bitrate. Hierbei müssen ebenfalls Sender, Empfänger und Regeneratoren ausgetauscht werden. Allerdings nimmt die Verzerrung der Signalform durch die Glasfaser bei höheren Bitraten stark zu, so dass hier nicht nur durch die mit elektronischen Schaltungen erreichbaren Geschwindigkeiten Grenzen gesetzt sind, sondern auch durch die jeweilige Glasfaser.

In Tab. 1.1 sind einige bislang erreichte Bitraten und Reichweiten pro Faser aufgeführt. Dabei wurden im Labor bislang (Stand Dez. 2001) 10,92 Tbit/s über eine Länge von 117 km übertragen [10], kommerzielle Systeme erreichen bis zu 5,12 Tbit/s [6] (Verfügbarkeit für April 2002 angekündigt). Unterseesysteme hingegen sind momentan z.B. für 80 Gbit/s mit einer maximalen Länge von 11000 km und einem Repeaterabstand von 50 km verfügbar [9]. Für kurze Distanzen bis zu 400 km gibt es auch kostengünstige Systeme ohne Repeater mit einer Kapazität von 800 Gbit/s [8]. Die Tabelle enthält weiterhin einige Labortests, wobei hier die Reichweiten meist mittels spezieller Ringstrukturen ermittelt werden. Auch wenn dieses zunächst den Eindruck erweckt, als könnten mit WDM und hohen Bitraten pro Wellenlänge ohne weiteres riesige

Tab. 1.1: Reichweite und Bitrate je Faser einiger in der Fachliteratur und in Produktankündigungen vorgestellter Übertragungssysteme (Stand Dezember 2001).

Anbieter	Kapazität	Streckenlänge	Anmerkung	Lit.
Lucent	5,12 Tbit/s	> 4000 km	128 × 40 Gbit/s; kommerzielles System; skalierbar	[6]
WorldCom/Nortel	1,6 Tbit/s	k.a.	kommerzielles System; bereits zwischen New York und Washington installiert.	[7]
Alcatel Submarine	800 Gbit/s	< 400 km	80 × 10 Gbit/s ohne Repeater; z.B. zwischen Cayman Inseln und Jamaica installiert; Unterseekabel	[8]
Alcatel Submarine	80 Gbit/s	11000 km	8 × 10 Gbit/s; 50 km Repeaterabstand; Unterseekabel	[9]
NEC	10,92 Tbit/s	117 km	273 × 20 Gbit/s; Laborexperiment	[10]
TyCom	2,4 Tbit/s	6200 km	120 × 20 Gbit/s; Laborexperiment; für Unterseekabel	[11]
Alcatel	1,28 Tbit/s	1704 km	32 × 40 Gbit/s; Experiment	[12]
Mitsubishi	1,28 Tbit/s	4200 km	64 × 20 Gbit/s; Laborexperiment für Unterseekabel	[13]

Übertragungskapazitäten zur Verfügung gestellt werden, so treten in der Praxis doch erhebliche Probleme auf. Diese liegen teilweise auf der elektrischen Seite, da hier die Schaltungen an die Grenzen der Schaltgeschwindigkeit stoßen. Andererseits ist auch die Intensitätsmodulation des Lichtes mit derart hohen Frequenzen schwierig und mit teilweise hohem Aufwand verbunden. Außerdem arbeiten die meisten der vorgestellten Systeme mit speziellen, optimierten Glasfasern. Bereits verlegte Glasfasern haben oft deutlich schlechtere Eigenschaften, so dass teilweise bereits eine Aufrüstung auf 10 Gbit/s schwierig ist. Insbesondere die Polarisationsmodendispersion (PMD) kann nur mit großen Aufwand kompensiert werden. Neben der Verwendung von optischen Elementen ist der Einsatz von elektronischen Signalverarbeitungskomponenten ein vielversprechender Ansatz. Ein entsprechendes System ist in Abb. 1.3 skizziert. Da sich die PMD über der Zeit (teilweise im Millisekunden-Bereich) ändert, müssen die Kompensationselemente (egal ob optisch oder elektronisch) ständig nachgeregelt werden. Eine derartige Regelung setzt allerdings voraus, dass eine Änderung der PMD erkannt wird.

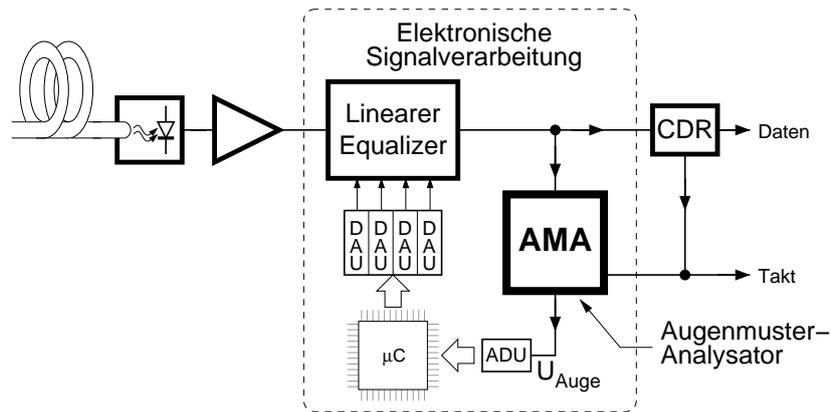


Abb. 1.3: Elektronische Signalverarbeitung auf der Empfängerseite.

An dieser Stelle setzt die hier vorliegende Arbeit an. Hinter der Kompensation soll mit Hilfe eines **Augenmuster-Analysators** (AMA) die momentane Signalgüte bestimmt und mit Hilfe eines Mikrocontrollers auf ein Optimum geregelt werden. Aus diesem Anwendungsfall heraus ergeben sich folgende Anforderungen an den Augenmuster-Analysator:

- **Ausgangsgröße** abhängig von der **Augenöffnung**.
- Hohe **Sensivität**: Änderungen der Augenöffnung müssen erkannt werden, bevor die Bitfehlerrate nennenswert einbricht.
- Kurze **Messdauer**: Die Polarisationsmodendispersion schwankt teilweise im Millisekunden-Bereich. Um derartige Störungen ausregeln zu können, ist eine entsprechend kurze Messdauer nötig.
- **Hohe Bitrate**: Die Eingangsdatenrate beträgt 10 Gbit/s (erster Entwurf) bzw. 20 Gbaud quaternär (\cong 40 Gbit/s; zweiter Entwurf).
- **Taktphasenabgleich**: Der Abgleich der Taktphase soll automatisch erfolgen, da so ein weitgehend von der CDR unabhängiger Betrieb ermöglicht wird.
- **Unterbrechungsfreie Übertragung**: Die Messung der Augenöffnung bzw. Signalqualität soll im laufenden Betrieb erfolgen.
- **Integrierbarkeit**: Die gesamte Funktion soll in SiGe-Bipolartechnologie realisiert werden.

Neben diesem speziellen Anwendungsgebiet ist jedoch auch ein Einsatz in anderen Konstellationen denkbar, in denen es ebenfalls auf eine schnelle Bestimmung der momentanen Augenöffnung ankommt.

1.2 Gliederung der Arbeit

Zunächst werden in Kapitel 2 die bereits angesprochenen Eigenschaften von Glasfasern noch einmal näher betrachtet, wobei insbesondere auf den Effekt der Polarisationsmodendispersion eingegangen wird. Außerdem werden einige bekannte Verfahren zur Bewertung der Signalgüte und das letztendlich im Augenmuster-Analysator realisierte Prinzip vorgestellt. Der schaltungstechnische Entwurf für eine Datenrate von 10 Gbit/s wird in Kapitel 3 behandelt. Hierbei werden, ausgehend vom Blockdiagramm der gesamten Schaltung, einzelne Teilschaltungen betrachtet. Die Problematik des IC-Layouts von hochintegrierten Schaltungen im Gbit/s-Bereich, die erzielten Messergebnisse bei 10 Gbit/s sowie die hierzu notwendige Aufbautechnik werden in Kapitel 4 behandelt. Ein weiterer Entwurf, welcher Datenraten von 40 Gbit/s bei quaternärer Übertragung, d.h. 20 Gbaud, verarbeiten soll, wird in Kapitel 5 vorgestellt. In einem Ausblick werden in Kapitel 6 noch weitere denkbare Ansätze für die Erfassung von Augendiagrammen dargelegt, bevor die Arbeit in Kapitel 7 mit einer Zusammenfassung schließt.

Zusätzlich werden im Anhang die benutzten Hilfsmittel kurz vorgestellt. Weiterhin wird die eingesetzte Halbleitertechnologie kurz umrissen und mit ähnlichen Technologien verglichen. Auch die Aufbautechnik, insbesondere die Flip-Chip-Technologie, ist im Anhang beschrieben.

Grundlagen und Vorüberlegungen

In diesem Kapitel werden zunächst einige Eigenschaften von Glasfaser-Verbindungen dargestellt. Auch wenn Glasfasern für ihre hervorragende Eignung für lange, hochbitratige Systeme bekannt sind, so hängen sowohl die erreichbare Bitrate, wie auch die überbrückbare Strecke u.a. von zahlreichen Glasfaser-Parametern ab. Daher werden einige Faktoren, die die Übertragungsqualität einer Glasfaserstrecke beeinflussen, vorgestellt. Insbesondere auf die Polarisationsmodendispersion wird genauer eingegangen, da diese Störung in dem Einsatzgebiet des Augenmuster-Analysators im Vordergrund steht. Des Weiteren werden einige Möglichkeiten zur Kompensation dieser Störungen vorgestellt.

2.1 Eigenschaften von Glasfasern aus nachrichtentechnischer Sicht

Die Qualität einer Übertragung hängt maßgeblich vom eigentlichen Übertragungsmedium ab. In der optischen Nachrichtentechnik werden die Signale im allgemeinen über Glasfaserkabel geleitet. Der Aufbau einer Glasfaser, bestehend aus einem sehr dünnen Kern aus Quarzglas mit der Brechzahl n_K und einem Mantel mit niedrigerer Brechzahl ($n_M < n_K$), ist in Abb. 2.1 dargestellt. Eine zusätzliche Beschichtung schützt die Glasfaser vor Umwelteinflüssen und Beschädigungen. Da diese Beschichtung jedoch nicht zu den optischen Eigenschaften der Glasfaser beiträgt, wird sie in den folgenden Betrachtungen weggelassen.

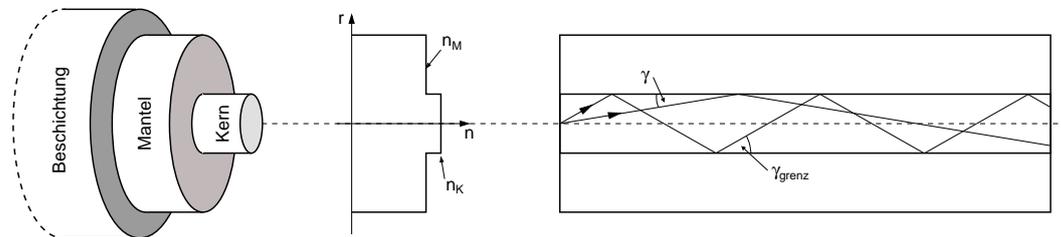


Abb. 2.1: Lichtführung in einer Glasfaser.

Die Lichtführung in der Glasfaser erfolgt durch Totalreflexion an den Grenzschichten zwischen Mantel und Kern. Bei einer idealen, verlustfreien Glasfaser würde ein Lichtstrahl, dessen Neigungswinkel γ der Bedingung

$$|\gamma| \leq \gamma_{\text{grenz}} = \arccos(n_M/n_K) \quad (2.1)$$

genügt, verlustfrei geführt. Hierbei ist γ_{grenz} der Grenzwinkel, bis zu dem Totalreflexion auftritt.

Je nach Abmessungen von Kern und Mantel, sowie Brechzahlprofil, wird zwischen verschiedenen Glasfasertypen unterschieden. Die wichtigsten Typen sind in Abb. 2.2 dargestellt. Diese sind Stufenindex-Fasern (mehrmodig), Gradientenindex-Fasern¹ (ebenfalls mehrmodig) und Monomode-Stufenindex-Fasern. Allgemein kann gesagt werden, dass sich die Übertragungseigenschaften von Abb. 2.2a nach Abb. 2.2c deutlich verbessern. Allerdings steigt auch der Preis pro Kilometer aufgrund der aufwändigeren Herstellung entsprechend an.

Im Folgenden werden einige charakteristische Eigenschaften von Glasfasern behandelt. Aus nachrichtentechnischer Sicht sind dies vor allem die Dämpfung und die Dispersion.

¹Bei Gradientenindex-Fasern erfolgt die Lichtführung durch sog. virtuelle Totalreflexion.

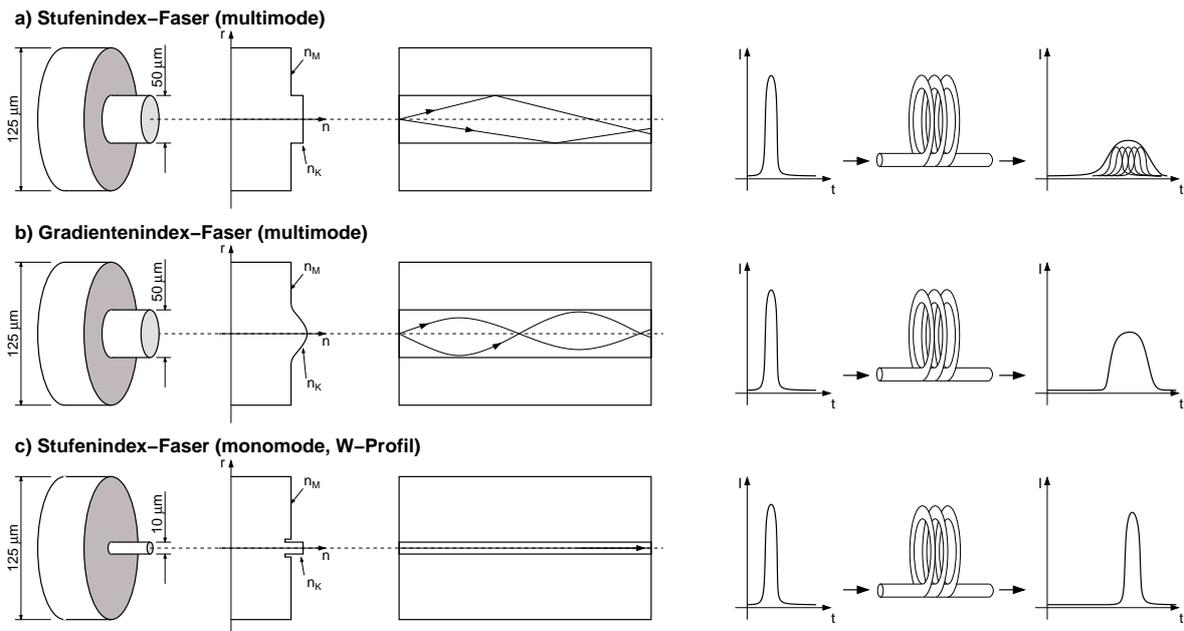


Abb. 2.2: Verschiedene Glasfaser-Typen (Der Verlauf der hier dargestellten Stufenindex-Faser wird auch als W-Profil bezeichnet, da er dem Buchstaben W ähnelt).

2.1.1 Dämpfung einer Glasfaser

Wie jedes Übertragungsmedium, so unterliegt auch eine Glasfaserverbindung einer gewissen Dämpfung, welche üblicherweise in dB/km angegeben wird. Bei der Dämpfung muss im Wesentlichen noch zwischen Streuung und Absorption als Ursache unterschieden werden [14].

Streuverluste entstehen durch Inhomogenitäten des Glases, wie z.B. Dichteschwankungen, kleinen eingeschlossenen Bläschen, Kristalliten usw. Meist sind die Abmessungen dieser Störungen kleiner als die Lichtwellenlänge, so dass Streuverluste durch Rayleigh-Streuung angenähert werden können. Ihre Wellenlängenabhängigkeit ist somit durch $1/\lambda^4$ gegeben, d.h. die Streuung nimmt mit größer werdender Wellenlänge ab.

Absorption hingegen entsteht durch Verunreinigungen mit Stoffen, die Lichtleistung zur Anregung von Molekülschwingungen aufnehmen. Waren früher Metallionen problematisch, so werden die Absorptionsverluste heutzutage überwiegend durch OH-Ionen verursacht. Deren Grundwelle liegt bei $\lambda = 2,73 \mu\text{m}$, die nächsten Oberwellen bei $\lambda = 1,37 \mu\text{m}$ und $\lambda = 0,95 \mu\text{m}$. Weitere Maxima entstehen bei $1,24 \mu\text{m}$, $1,13 \mu\text{m}$ und $0,88 \mu\text{m}$ durch Mischprodukte mit der Grundwelle von Quarzglas [15]. Bereits kleinste Verunreinigungen erhöhen hierbei die Dämpfung enorm. So führt z.B. eine Verunreinigung von 1 ppm OH

bereits zu einer Dämpfung von über 4 dB/km bei einer Wellenlänge von 1,38 μm . Weitere Ursachen für Absorption sind die UV-Absorption durch Ausläufer der Bandkante bei ca. 0,16 μm und durch Dotierstoffe, sowie die starke Infrarot-Absorption oberhalb von 1,6 μm [4].

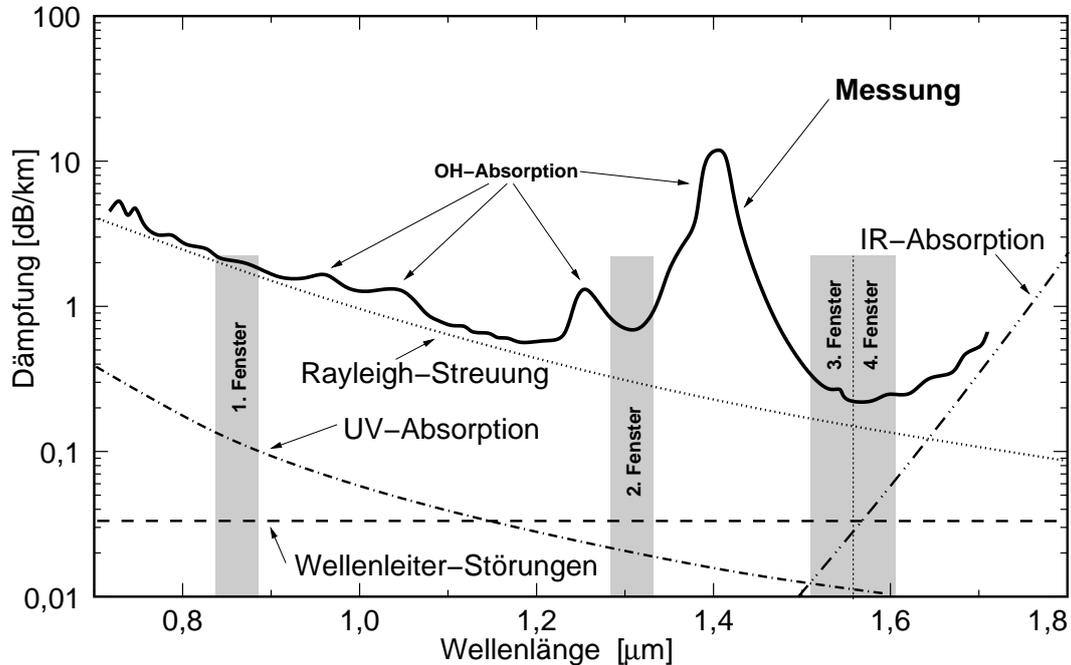


Abb. 2.3: Dämpfungsverlauf einer Standardglasfaser [15, 16].

In Abb. 2.3 ist der Dämpfungsverlauf über der Wellenlänge einer typischen Standard-Glasfaser dargestellt. Üblicherweise wird zwischen verschiedenen Übertragungsbereichen, den sog. Fenstern, unterschieden. Das erste Fenster bei ca. 850 nm entspricht hierbei dem Bereich, in dem die in der Vergangenheit verwendeten GaAs-Quellen emittierten. Das zweite Fenster ist besonders wegen der bei ca. 1330 nm nahezu verschwindenden chromatischen Dispersion sehr interessant. Neuere Systeme arbeiten jedoch im dritten Fenster (1530 - 1565 nm), in dem bei Monomode-Glasfasern eine Dämpfung von ca. 0,2 dB/km erreicht wird. Inzwischen wurden auch neue Glasfasern vorgestellt, die eine Übertragung im vierten Fenster bei 1565 - 1620 nm ermöglichen [17]. Weiterhin wird in Laboratorien daran gearbeitet, die OH-Absorption zu unterdrücken, und so den nutzbaren Wellenlängenbereich noch weiter auszudehnen [18].

Bei der Betrachtung der gesamten Dämpfung einer Glasfaserstrecke muss weiterhin berücksichtigt werden, dass z.B. Stecker und Spleiße einen zusätzlichen Beitrag leisten, und dass sich die Dämpfungseigenschaften durch Verlegung, insbesondere bei kleinen Biegeradien, weiter verschlechtern.

2.1.2 Chromatische Dispersion

Das in die Glasfaser eingekoppelte Licht hat eine endliche spektrale Breite. Diese ist grundsätzlich gegeben, da selbst eine ideal monochromatische Lichtquelle durch die Modulation mit Nutzdaten eine Frequenzmodulation erfährt. Da viele Eigenschaften der Glasfaser wellenlängenabhängig sind, wird ein Puls, der die Glasfaser durchläuft, entsprechend verbreitert. Diese Pulsverbreiterung aufgrund von Wellenlängenabhängigkeiten wird als chromatische Dispersion bezeichnet.

Als Maß für die chromatische Dispersion dient der Koeffizient M_{chrom} mit der Einheit ps/(nm km). Hieraus kann die Impulsverlängerung Δt_{chrom} , die ein Lichtimpuls der spektralen Breite $\Delta\lambda$ beim Durchlaufen einer Glasfaser der Länge L erfährt, berechnet werden durch:

$$\Delta t_{chrom} = M_{chrom}(\lambda) \cdot \Delta\lambda \cdot L \quad . \quad (2.2)$$

Aus der Impulsverlängerung wiederum kann das Bandbreiten-Längenprodukt² B_L bestimmt werden. Das Bandbreiten-Längenprodukt ist definiert als

$$B_L = \frac{1}{2\Delta t_{chrom}} \cdot L \quad , \quad (2.3)$$

woraus sich durch einsetzen von (2.2)

$$B_L = \frac{1}{2 \cdot M_{chrom} \cdot \Delta\lambda} \quad (2.4)$$

ergibt. Die Bezeichnung „chromatische Dispersion“ ist dabei ein Oberbegriff für alle Dispersionseffekte, die auf der unterschiedlichen Ausbreitungsgeschwindigkeit der einzelnen Wellenlängen beruhen. Diese sind:

- die **Materialdispersion** (M_{mat}), welche die Abhängigkeit der Kernbrechzahl n_K von der Wellenlänge berücksichtigt;
- die **Wellenleiterdispersion** (M_{welle}), die durch die Zwangsführung in der Glasfaser entsteht;
- die **Profildispersion** (M_{profil}), welche den Einfluss der Wellenlängenabhängigkeit der normierten Brechzahldifferenz $\Delta n = \frac{n_K - n_M}{n_K}$ beinhaltet.

²Statt des Bandbreiten-Längenprodukts wird in der optischen Nachrichtentechnik häufig auch das Bitraten-Längenprodukt angegeben. Dieses ist ein Maß für die regenerationsfreie Streckenlänge L multipliziert mit der Bitrate B [19].

Hieraus ergibt sich

$$M_{chrom}(\lambda) = M_{mat}(\lambda) + M_{welle}(\lambda) + M_{profil}(\lambda) \quad , \quad (2.5)$$

wobei für die einzelnen Summanden

$$M_{mat}(\lambda) = \frac{\lambda}{c} \cdot \frac{d^2 n_K}{d\lambda^2} \quad (2.6)$$

$$M_{welle}(\lambda) = \frac{n_K - n_M}{c} \cdot \frac{d\Gamma}{d\lambda} \quad (2.7)$$

$$M_{profil}(\lambda) = -\frac{p}{2 \cdot c} \cdot (n_K - n_M) \cdot \left[\frac{d\Gamma}{d\lambda} + \frac{1-p}{\lambda} \Gamma \right] \quad (2.8)$$

mit Γ als Laufzeitfaktor³ und p als Profildispersionsparameter⁴ gilt (genaueres in [16]).

Festzuhalten bleibt, dass die Materialdispersion von dem Material des Kerns (bzw. dessen Brechzahl) abhängig ist, die Wellenleiterdispersion hingegen im Wesentlichen von der Struktur der Glasfaser. In Datenblättern wird im Allgemeinen nur der Verlauf der chromatischen Dispersion als Summe der einzelnen Anteile angegeben.

2.1.3 Modendispersion

Durch den großen Kerndurchmesser einer **Multimode-Glasfaser** sind mehrere Moden gleichzeitig ausbreitungsfähig. Diese Moden müssen, wie in Abb. 2.4 dargestellt, unterschiedlich lange optische Wege zurücklegen, um die gleiche Glasfaserlänge zu überbrücken. Hierdurch treffen Pulse, die gleichzeitig in die Faser eingespeist wurden, je nach Mode zu unterschiedlichen Zeitpunkten am Ausgang ein [20]. Dies führt zu einer starken Pulsverbreiterung, so dass Multimode-Glasfasern für hohe Datenraten, insbesondere auf langen Strecken, ungeeignet sind.

Durch Verwendung einer **Gradientenfaser** wird die Modendispersion stark unterdrückt, da hier die Kernbrechzahl n_K nach außen abnimmt, und somit die Ausbreitungsgeschwindigkeit aufgrund von

$$v = \frac{c}{n} \quad (2.9)$$

steigt. Das Licht bewegt sich auf einem sinusförmigen Weg durch die Glasfaser (vgl. Abb. 2.2) und alle Pulse kommen nahezu gleichzeitig an, da die weiter von

³Der Laufzeitfaktor ist ein Maß für die Aufteilung der Leistung zwischen Kern und Mantel. Er ist abhängig von dem Modus der Lichtwelle sowie der Struktur der Glasfaser.

⁴Der Profildispersionsparameter gibt an, wie stark die Brechzahldifferenz Δn mit λ variiert. In üblichen Glasfasern gilt: $|p| \leq 0,1$. Daher wird die Profildispersion häufig vernachlässigt.

der Fasermitte entfernten Strahlen eine höhere Ausbreitungsgeschwindigkeit haben.

Noch bessere Ergebnisse werden mit **Monomoden-Glasfasern** erreicht, in denen nur eine Mode ausbreitungsfähig ist und so die Modendispersion nicht auftritt.

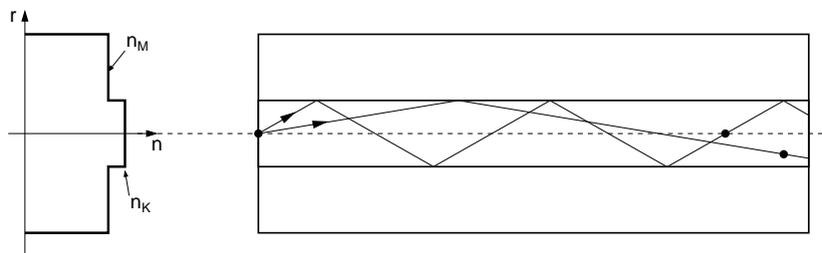


Abb. 2.4: Modendispersion in einer Multimode-Stufenindexfaser.

2.1.4 Polarisationsmodendispersion

Wie bereits erwähnt, unterdrücken die heutzutage meist verwendeten Monomode-Glasfasern wirkungsvoll die Modendispersion. Allerdings treten bei einer Monomode-Glasfaser immer noch zwei orthogonal zueinander schwingende Grundmoden auf. Auch zwischen diesen Moden kann sich ein Laufzeitunterschied ausbilden, d.h. es kommt zur Doppelbrechung, z.B. durch Schwankungen der Brechzahl entlang und quer zur Ausbreitungsrichtung, durch Geometriefehler oder durch innere Spannungen. Hierbei wird zwischen intrinsischer Doppelbrechung durch herstellungsbedingte Fehler und extrinsischer Doppelbrechung durch verlegungsbedingte Störungen wie Spannung, Biegung oder Torsion, unterschieden. Da hier eine Dispersion zwischen den beiden Teilmoden stattfindet (Abb. 2.5), wird diese Art von Dispersion Polarisationsmodendispersion (PMD) genannt.

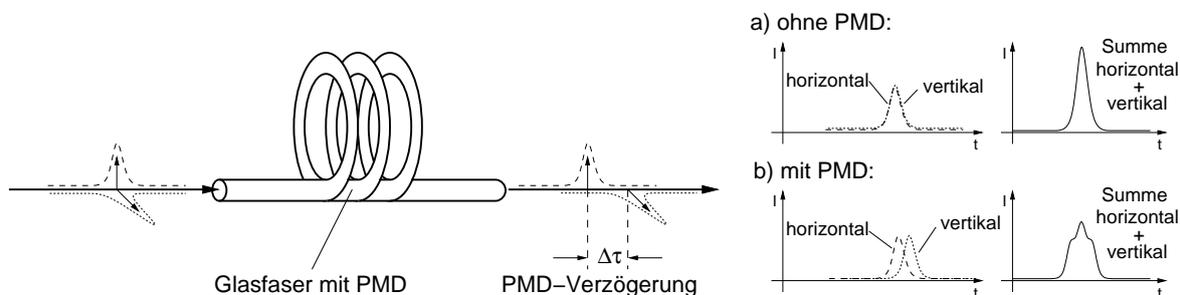


Abb. 2.5: Ausbreitung der beiden Polarisationszustände in der Glasfaser.

Der hierbei auftretende Laufzeitunterschied wird als differentielle Gruppenlaufzeit (auch DGD = Differential Group Delay) bezeichnet. Weil die Laufzeitunterschiede durch unregelmäßige Störungen entstehen und somit kein Zusammenhang zwischen Faserort und Brechzahl besteht, kann die differentielle Gruppenlaufzeit nur statistisch (Maxwell-Verteilung) erfasst werden. Daher ist es auch möglich, dass eine Glasfaser nach 25 km eine starke PMD aufweist, sich diese nach 50 km aber wieder aufhebt.

Um dennoch die PMD-Eigenschaften einer Glasfaser zu charakterisieren, wird durch Mittelung der differentiellen Gruppenlaufzeit über einen bestimmten Wellenlängenbereich eine PMD-Verzögerung Δt_{PMD} bestimmt. Diese ergibt sich aus

$$\Delta t_{PMD} = M_{PMD} \cdot \sqrt{L} \quad , \quad (2.10)$$

wobei M_{PMD} der Polarisationsmodendispersions-Koeffizient und L die Glasfaserlänge sind. Wie zu erkennen, wächst die PMD nicht linear, sondern aufgrund o.g. statistischer Verteilung mit der Wurzel der Streckenlänge.

Allgemein wird angenommen, dass die PMD-Verzögerung einer Strecke maximal ein Zehntel der Bitlänge T_{Bit} betragen darf [21]:

$$\Delta t_{PMD,max} \leq \frac{T_{Bit}}{10} \quad . \quad (2.11)$$

Kombiniert man (2.10) mit (2.11) und setzt statt T_{Bit} die Bitrate $B = \frac{1}{T_{Bit}}$ ein, so ergibt sich die maximal mögliche Streckenlänge für eine gegebene Bitrate zu

$$L \leq \frac{1}{100 \cdot B^2 M_{PMD}^2} \quad . \quad (2.12)$$

Es besteht also ein umgekehrt proportionales Verhältnis zwischen der Streckenlänge und dem Quadrat der Bitrate. Anders formuliert bedeutet dies, dass eine Vervierfachung der Bitrate mit einer Reduktion der maximalen Streckenlänge auf $1/16$ einhergeht. In Tab. 2.1 ist die maximal realisierbare Streckenlänge bei typischen Bitraten für PMD-Koeffizienten moderner Glasfasern [22] angegeben. Diese Daten entsprechen jeweils einer neuwertigen, unverlegten Glasfaser. Verlegte Glasfasern haben meist schlechtere Daten, so dass oft bereits eine Übertragung bei 10 Gbit/s kritisch ist. Insbesondere ältere Glasfasern weisen teilweise PMD-Koeffizienten von $2 \text{ ps}/\sqrt{\text{km}}$ und mehr auf. Diese Werte zeigen die Notwendigkeit einer Kompensation der PMD für Systeme von 10 Gbit/s und höher, insbesondere auch, um den Einsatz hochwertiger und somit teurer Spezialglasfasern zu vermeiden, und um bestehende Strecken aufrüsten zu können.

Tab. 2.1: Maximal realisierbare Streckenlänge bei typischen Bitraten für PMD-Koeffizienten moderner Glasfasern.

Bitrate Gbit/s	PMD-Koeffizient ps/ $\sqrt{\text{km}}$	max. Streckenlänge km
2,5	0,5	6400
	0,2	40000
	0,08	250000
10	0,5	400
	0,2	2500
	0,08	15625
40	0,5	25
	0,2	156
	0,08	976

Erwähnenswert ist auch, dass es weitere PMD-Effekte höherer Ordnung gibt. Die differentielle Gruppenlaufzeit ist, wie Abb. 2.6 zeigt, stark wellenlängen- bzw. frequenzabhängig. Hierdurch werden die einzelnen Wellenlängenanteile eines Signals mit einer bestimmten spektralen Bandbreite unterschiedlich stark verzögert. Dieser Effekt wird als PMD 2. Ordnung bezeichnet und führt zu weiteren Signalverzerrungen. Da die Höhe der Maxima der differentiellen Gruppenlaufzeit proportional zur Wurzel der Glasfaserlänge ist, und sich die Abstände zwischen den Maxima des Verlaufs aus Abb. 2.6 antiproportional zu \sqrt{L} verringern, ist die PMD 2. Ordnung proportional zur Glasfaserlänge:

$$\frac{\partial \tau_{DGD}}{\partial \lambda} \sim L \quad . \quad (2.13)$$

Da die PMD eine statistische Größe ist, und die PMD 2. Ordnung von der PMD abhängt, ist auch diese statistisch verteilt.

2.1.5 Nichtlineare Effekte

Bei WDM-Systemen kommt noch ein weiterer Aspekt hinzu: Werden Glasfasern mit hoher Lichtleistung betrieben, so kommt es zu nichtlinearen Effekten. Die wichtigsten Effekte sind hierbei die Vierwellenmischung (FWM=four-wave mixing) und die Kreuzphasenmodulation (XPM=cross-phase modulation). Durch FWM werden zwei Kanäle vermischt, wodurch ein oberes und ein unteres Seitenband entstehen. Diese Seitenbänder führen dann in weiteren Kanälen zu einem Nebensprechen. Kreuzphasenmodulation hingegen ist ein nichtlinearer Effekt, bei dem Intensitätsschwankungen eines optischen Kanals einen anderen optischen Kanal vornehmlich in seiner Phase beeinflussen. Interessanterweise

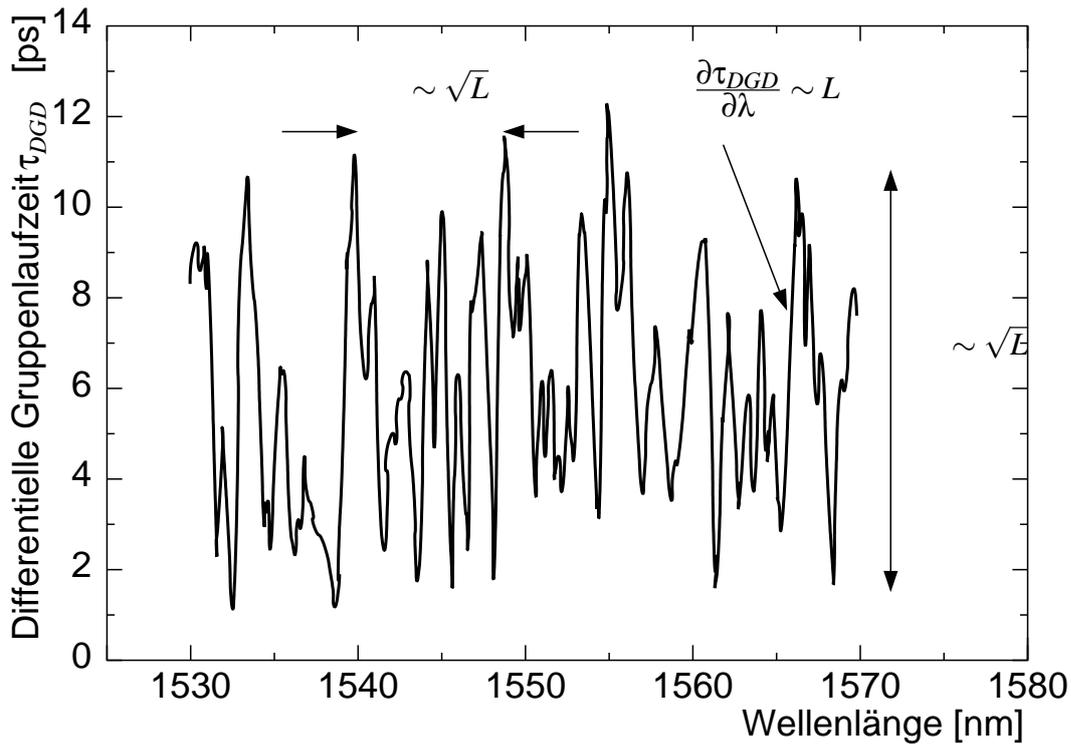


Abb. 2.6: Wellenlängenabhängigkeit der differentiellen Gruppenlaufzeit τ_{DGD} [23].

werden FWM und XPM mit steigender Dispersion unterdrückt, so dass bei WDM-Systemen eine gewisse Dispersion erwünscht ist [24]. Dieses steht im Widerspruch zu der Forderung einer möglichst geringen Dispersion für ein möglichst großes Bitraten-Länge-Produkt.

2.2 Möglichkeiten zur Kompensation der chromatischen Dispersion

Der Nulldurchgang der Dispersion einer Standard-Monomode-Glasfaser liegt bei einer Wellenlänge von ca. $1,3 \mu\text{m}$, d.h. im zweiten optischen Fenster. Aufgrund der wesentlich geringeren Dämpfung wird jedoch eine Übertragung im dritten Fenster bei einer Wellenlänge von ca. $1,55 \mu\text{m}$ bevorzugt. Dies führt aber zwangsläufig zu einem Problem, da hier eine signifikante Dispersion auftritt. Daher wird durch verschiedene Methoden versucht, den Einfluss der Dispersion zu kompensieren.

2.2.1 Dispersionsverschobene bzw -kompensierende Glasfasern

Wie bereits in Kap. 2.1.2 erwähnt, setzt sich die chromatische Dispersion aus verschiedenen Faktoren zusammen. Durch gezielte Beeinflussung der Wellenleiterdispersion mit geeigneten Brechzahlprofilen [4] können Glasfasern hergestellt werden, deren Dispersionsnullstelle bei ca. $\lambda = 1,55 \mu\text{m}$ liegt. Derartige Glasfasern sind als **dispersionsverschobene Glasfasern** (DSF=dispersion shifted fiber) bekannt. Sollen bestehende Übertragungswege ausgebaut werden, so kann die Dispersion auch auf der Empfängerseite durch Anfügen von Glasfasern mit hoher negativer Dispersion, sogenannten **dispersionskompensierenden Glasfasern** (DCF=dispersion compensating fiber), kompensiert werden. Dieses geht natürlich mit einer zusätzlichen Dämpfung des Signals einher. Des Weiteren existieren z.B. dispersionskompensierende Bragg-Gitter, die statt der DCF auf der Empfängerseite eingesetzt werden können.

Eine wirksame Unterdrückung von FWM und XPM wird z.B. durch eine Standard-Glasfaser mit nachgeschalteter DCF erreicht, da hierbei die Glasfaser an sich dispersionsbehaftet ist. Eine weitere Möglichkeit ist der Einsatz von **dispersionsflachen Glasfasern** (DFF=dispersion flattened fiber). Diese Glasfasern haben in einem weiten Wellenlängenbereich eine geringe, allerdings von null verschiedene Dispersion, so dass nichtlineare Effekte unterdrückt werden [17].

Allerdings haben diese speziellen Glasfasern den Nachteil, dass die Herstellung wesentlich aufwändiger, und somit der Preis entsprechend höher ist. Daher werden auch alternative Methoden zur Kompensation untersucht.

2.2.2 Kompensation durch spezielle Übertragungsverfahren

Verschiedene Verfahren zur Kompensation der Dispersion setzen bereits auf der Senderseite an und versuchen so, den Effekt der Dispersion zu mildern. Einige der Verfahren basieren z.B. auf Ausnutzung von Laserchirpen⁵ oder Selbstphasenmodulation, auf spektraler Inversion⁶ oder auf Solitonenübertragung [4]. Exemplarisch soll an dieser Stelle das Verfahren der dispersionsunterstützten Übertragung (DST = dispersion supported transmission) herausgegriffen werden, da dieses u.a. auch in Systemen des Projektpartners Alcatel zum Einsatz kommt [25].

⁵Mit der Modulation des Laserstroms geht meist eine mehr oder minder starke Frequenzmodulation einher, der sog. Chirp (=Zwitschern).

⁶Hierzu ist allerdings ein Eingriff in der Streckenmitte nötig.

Bei diesem Verfahren, welches in Abb. 2.7 vereinfacht dargestellt ist, wird der Laser nicht in seiner Intensität, sondern in seiner Frequenz moduliert⁷. Durch die Dispersion der Glasfaser haben die beiden Wellenlängen, respektive die Informationen '1' und '0', unterschiedlich lange Laufzeiten. Der Frequenzhub $\Delta f = f_1 - f_2$ wird so eingestellt, dass am Ende der Faserstrecke der Laufzeitunterschied zwischen den beiden Wellenlängen eine halbe Bitperiode beträgt. Am Empfänger erscheint ein dreistufiges Signal, aus welchem das Signal z.B. durch Tiefpassfilterung (gestrichelte Linie) oder durch ein RS-Flipflop mit Hysterese [26, 27] wiederhergestellt werden kann.

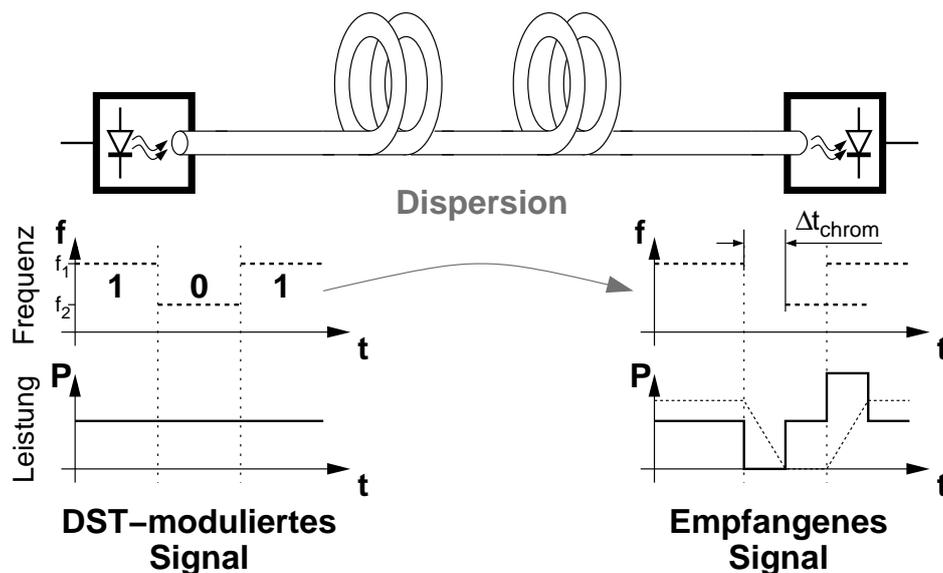


Abb. 2.7: Prinzip der dispersionsgestützten Übertragung.

Vorteilhaft bei diesem Verfahren ist, dass man nur Module im Sender und Empfänger (und in evtl. vorhandenen Regeneratoren) austauschen muss, und so eine bestehende Strecke aufrüsten kann, ohne zusätzliche optische Kompensatoren einzubauen. Diese recht kompakte Lösung eignet sich daher auch sehr gut für WDM-Systeme. Nachteilig ist, dass der Sender zumindest grob an die Streckenlänge angepasst werden muss.

2.2.3 Kompensation durch elektronische Signalverarbeitung

In [28] wird ein System vorgestellt, welches die Signalgüte mittels einer Pseudo-Fehlerratenmessung (vgl. Kap. 3.2.2) bestimmt. In einer Regelschleife wird dann eine optische Dispersionskompensation so angesteuert, dass die

⁷Spezielle Laserstrukturen erlauben Chirp-Werte von über 500 MHz/mA.

chromatische Dispersion möglichst gut kompensiert wird. Prinzipiell ist auch eine elektronische Kompensation ähnlich dem in Kap. 2.3 vorgestellten System denkbar. Da es sich bei der chromatischen Dispersion jedoch um eine statische Größe handelt, werden meist passive, optische Kompensatoren eingesetzt oder die im vorangegangenen Kapitel dargestellten Verfahren genutzt.

Allerdings wird auch bei Multimode-Fasern versucht, die Modendispersion elektronisch zu kompensieren [29] und die sehr preiswerten (teilweise sogar aus Kunststoff gefertigten) Multimode-Fasern für kurze, hochbitratige Verbindungen z.B. in LANs zu etablieren. Hierbei wird zur Kompensation ein ähnlicher Equalizer verwendet wie zur Kompensation der Polarisationsmodendispersion.

2.3 Kompensation der Polarisationsmodendispersion

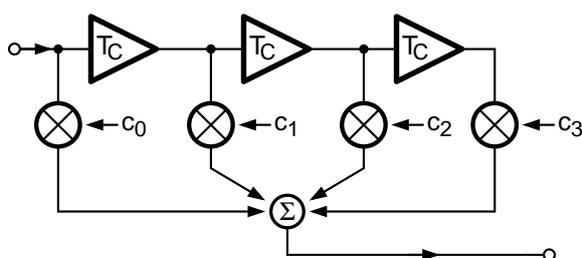


Abb. 2.8: Equalizer aus Verzögerungsgliedern.

Auch wenn die chromatische Dispersion gut kompensiert ist, so wird die Übertragung hoher Bitraten über lange Distanzen auch weiterhin durch die Polarisationsmodendispersion gestört. Da es sich, wie bereits erwähnt, bei der PMD um eine statistische Größe handelt, muss die PMD einer jeden Glasfaser zunächst gemessen werden.

Erschwerend kommt hinzu, dass sich die PMD über der Zeit und der Temperatur ändert [30]. So können z.B. bei Glasfasern, die in Oberleitungen oder neben Bahngleisen verlegt sind, Erschütterungen zu Schwankungen der PMD im Millisekunden-Bereich führen [31].

Während erste Lösungsansätze zunächst eine rein optische Kompensation vorsahen, sind immer mehr Komponenten durch elektronische Signalverarbeitungssysteme ersetzt worden [32]. Inzwischen sind bereits vollständig integrierte Equalizer verfügbar [33]. Diese Equalizer bestehen meist aus einer in Abb. 2.8 skizzierten Anordnung von mehreren Verzögerungsgliedern (in diesem Fall drei gleiche, fest eingestellte Verzögerungszeiten T_C) und einem Netzwerk, welches den Eingang und die verzögerten Signale gewichtet auf den Ausgang schaltet. Durch Anpassung der Gewichte c_0 bis c_3 kann in diesem Beispiel eine Kompensation vorgenommen werden (vgl. auch Abb. 1.3), wobei die Gewichte z.B. mit einem Kleinste-Fehlerquadrat-Algorithmus (LMS=least

mean square) bestimmt werden [34]. Erst diese ICs ermöglichen den Einsatz von WDM-Übertragung auf längeren Strecken ohne teure Spezial-Glasfaser, da sich derartige Systeme kostengünstig vollständig integrieren lassen.

2.4 Zusammenfassung zu Kapitel 2

In diesem Kapitel wurden die wesentlichen Effekte, welche die Übertragungseigenschaften der Glasfaser beeinflussen, besprochen. Dabei wurde sowohl auf das Zustandekommen der entsprechenden Effekte, wie auch auf mögliche Gegenmaßnahmen zur Unterdrückung unerwünschter Eigenschaften eingegangen. Bei den vorgestellten Gegenmaßnahmen muss allerdings berücksichtigt werden, dass viele nur für neu verlegte Glasfasern anwendbar sind. Da die Übertragungskapazitäten bereits verlegter Fasern häufig noch nicht optimal genutzt werden, sind gerade die Verfahren, die eine Aufrüstung bestehender Strecken ermöglichen, besonders interessant.

Die Dämpfung einer Glasfaser ist zwar stark von der verwendeten Wellenlänge, jedoch nicht von der Bitrate abhängig. Daher wurden schon früh entsprechende dämpfungsarme Glasfaserkabel entwickelt und auch verlegt. Allerdings weisen diese Glasfasern immer noch teilweise starke Absorptionsspitzen bei bestimmten Wellenlängen auf. Dieses wirkt sich nachteilig bei WDM-Systemen aus, welche eine möglichst große optische Bandbreite benötigen. Allgemein kann gesagt werden, dass bei hochbitratigen Systemen die Dämpfung einer Glasfaser nicht der begrenzende Faktor für die Bitrate pro Wellenlänge ist, da Dämpfungswerte von unter 0,2 db/km erreicht werden. Die Bandbreite der gesamten Glasfaser eines WDM-Systems wird jedoch, abhängig vom Verlauf der Dämpfung über der Wellenlänge, eingeschränkt.

Ein die Bitrate pro Wellenlänge deutlich stärker begrenzender Effekt ist die Dispersion, wobei zwischen chromatischer Dispersion und Modendispersion unterschieden werden muss. Die Dispersion führt zu einer Verlängerung der übertragenen Impulse, daher ist ihr Einfluss bei höheren Bitraten entsprechend stärker. Durch eine geeignete Wahl der Brechungszahlen des Kern- und Mantelmaterials und durch eine Anpassung der Geometrie kann die chromatische Dispersion einer neuen Glasfaser mit entsprechenden Mehrkosten über einen weiten Bereich beeinflusst werden. Durch Anfügen entsprechender Faserstücke mit negativer Dispersion können auch bestehende Glasfaserstrecken dispersionskompensiert werden, was allerdings mit einer zusätzlichen Dämpfung verbunden ist.

Die reine Modendispersion tritt auf Langstreckenverbindungen nicht auf, da hier inzwischen ausschließlich Monomode-Glasfasern verwendet werden. Jedoch sind auch in Monomode-Fasern zwei orthogonale Moden ausbreitungsfähig, so dass es zu einer Polarisationsmodendispersion (PMD) kommt. Da die maximal mögliche Streckenlänge sich umgekehrt proportional zum Quadrat der Bitrate verhält, tritt die PMD erst bei hohen Bitraten von ≥ 10 Gbit/s in den Vordergrund, begrenzt dann aber massiv die maximal mögliche Streckenlänge. In Zahlen bedeutet dies, dass die maximal mögliche Streckenlänge aufgrund von PMD z.B. von 400 km bei 10 Gbit/s auf 25 km bei 40 km sinkt.

Aufgrund der Tatsache, dass die Polarisationsmodendispersion eine statistische Größe ist, welche sich außerdem noch über der Zeit ändert, kann sie nicht durch einfache passive Bauelemente ausgeglichen werden, sondern es ist eine aktive Nachführung erforderlich. Erschwerend kommt hinzu, dass die Kompensation der PMD aufgrund einer starken Wellenlängenabhängigkeit für jede Wellenlänge eines WDM-Systems erfolgen muss. Daher sind hier möglichst kompakte, kostengünstige elektronische Lösungen gefragt, welche z.B. aus dem vorgestellten linearen Equalizer als Kompensator bestehen können.

Alle automatische Kompensationsmethoden setzen voraus, dass eine Stellgröße aus der momentanen Signalgüte bestimmt wird. Hier setzt die vorliegende Arbeit an, die zunächst einige Bewertungsmethoden aufzeigt, und dann die entwickelten integrierten Schaltungen zur Echtzeit-Erfassung der momentanen Augenöffnung vorstellt.

Bewertung der Signalqualität digitaler Signale

Zunächst wird kurz die allgemeine Bedeutung von Augendiagrammen in der optischen Nachrichtentechnik geschildert. Augendiagramme werden üblicherweise mit Sampling-Oszilloskopen dargestellt und eignen sich sowohl gut zur visuellen Kontrolle der Signalqualität, als auch zur automatischen Überwachung. Im weiteren Verlauf werden dann bekannte Verfahren zur Bewertung der Übertragungsqualität vorgestellt und deren Eignung für die geforderte Aufgabenstellung (vgl. Kap. 1.1) überprüft. Abschließend wird dann das realisierte Bewertungsverfahren vorgestellt.

3.1 Das Augendiagramm als Maß für die Signalqualität

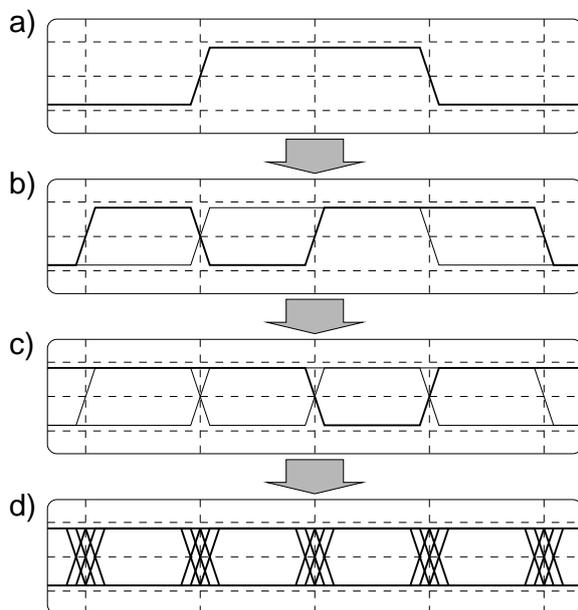


Abb. 3.1: Entstehung eines Augendiagramms.

Wird der Zeitverlauf eines Datensignals betrachtet, so ist auf den ersten Blick nicht erkennbar, ob dieses Signal mit Jitter oder Rauschen behaftet ist. Um dieses zu bestimmen, müsste die Amplitude und die zeitliche Lage eines jeden Bits bestimmt werden. Nachteilig ist außerdem, dass auf einem Oszilloskop immer nur ein kleiner Ausschnitt des Datensignals betrachtet werden kann. Aussagen über die Langzeit-Stabilität sind somit nicht möglich. Eine wesentlich aussagekräftigere Darstellung kommt zustande, wenn ein Speicheroszilloskop (digital oder analog) verwendet wird.

Bei diesem werden Zeitbasis und Trigger so eingestellt, dass mehrere Bits des Datensignals auf den Schirm passen (s. Abb. 3.1a). In den darauffolgenden Strahldurchläufen bleiben die vorherigen Spuren bestehen und die neuen werden darüber gezeichnet. Nach und nach entsteht so ein Muster wie in Abb. 3.1d. Diese Darstellungsweise ermöglicht es auch, nicht-repertierende Datensignale sehr hoher Bitrate mit einem Sampling-Oszilloskop¹ als Augendiagramm darzustellen.

Diese Funktion ist in den meisten modernen Sampling-Oszilloskopen (z.B. [35]) bereits integriert. Üblicherweise enthält die Software des Oszilloskops auch Algorithmen, mit denen z.B. der Jitter, die Breite und Höhe der Augenöffnung usw. bestimmt werden können.

¹Ein Sampling-Oszilloskop tastet das Signal mit einer Unterabtastung ab. Sampling-Oszilloskope haben eine sehr hohe Bandbreite (z.B. 50 GHz), aber nur eine geringe Abtastrate von einigen hundert kHz. Dadurch können nur repertierende Signale in ihrem Zeitverlauf dargestellt werden. Digitale Speicheroszilloskope hingegen haben eine hohe Abtastrate und eine Bandbreite von $< f_{\text{sample}}/2$.

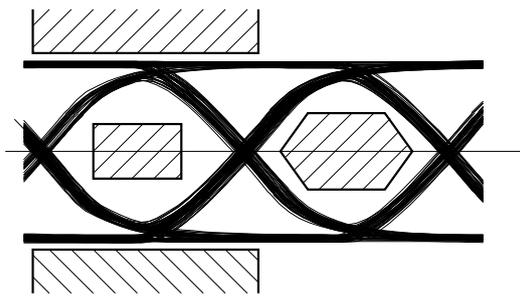


Abb. 3.2: Masken zur Bestimmung der Augenöffnung.

Um Geräte oder Übertragungsstrecken zu testen, wird meist eine rechteckige oder sechseckige Maske in die Augenmitte gelegt [36]. Teilweise werden auch noch eine obere und untere Schwelle definiert, die nicht überschritten werden dürfen (Abb. 3.2). Der Test ist bestanden, wenn nach einer vorgegebenen Beobachtungsdauer keine Abtastwerte innerhalb dieser Bereiche liegen.

Sicherlich stellen Sampling-Oszilloskope ein sehr mächtiges Instrument zur Bewertung der Übertragungsqualität dar. Allerdings kosten derartige Geräte über hunderttausend DM, so dass sie zum Aufbau eines Regelkreises nicht nur aufgrund ihrer Abmessungen und ihrer Leistungsaufnahme, sondern auch wegen der Kosten ausscheiden. Zur Unterdrückung der PMD muss nämlich, wie bereits erwähnt, jeder Kanal einzeln kompensiert werden, d.h. bei einem WDM-System mit 80 Wellenlängen würden somit 80 Oszilloskope benötigt. Da dies nicht praktikabel ist, werden im Folgenden Verfahren vorgestellt, die ebenfalls eine Bewertung der Übertragungsqualität ermöglichen und sich prinzipiell als Integrierte Schaltung fertigen lassen.

3.2 Überblick über bekannte Prinzipien zur Signalqualitätsbewertung

3.2.1 Bitfehlerrate

Die gängigste Methode, eine Übertragungsstrecke zu überprüfen, ist die Messung der Bitfehlerrate (BER = bit error rate). Hierbei wird ein bekannter Datenstrom übertragen und am Empfänger werden die dabei aufgetretenen Fehler gezählt. Die Bitfehlerrate ergibt sich zu

$$\text{BER} = \frac{\sum \text{fehlerhafte Bits}}{\sum \text{gesendete Bits}} \quad (3.1)$$

Da zur Bestimmung der BER sowohl auf Sender- als auch auf Empfängerseite Schaltungen zur Generierung bzw. Auswertung des Datenstroms notwendig sind, ist dieser Ansatz recht aufwändig [37].

In Weitverkehrsnetzen wird meist eine Bitfehlerrate von kleiner 10^{-12} gefordert, d.h. bei einer Übertragungsrate von 10 Gbit/s tritt alle 100 s ein Bitfehler auf. Um ein hinreichend genaues Ergebnis zu erhalten, muss mindestens 10 mal so lange gemessen werden, d.h. ca 17 min. Das Problem ist, dass für diese Zeit die reguläre Übertragung von Nutzdaten unterbrochen werden muss. Daher ist die Messung der Bitfehlerrate nur bei Inbetriebnahme üblich. Um die Qualität der Übertragung im laufenden Betrieb zu ermitteln, muss nach Verfahren gesucht werden, die diese aus den Nutzdaten heraus ermitteln können.

3.2.2 Bewertung mit Hilfe der Pseudo-Fehlerrate

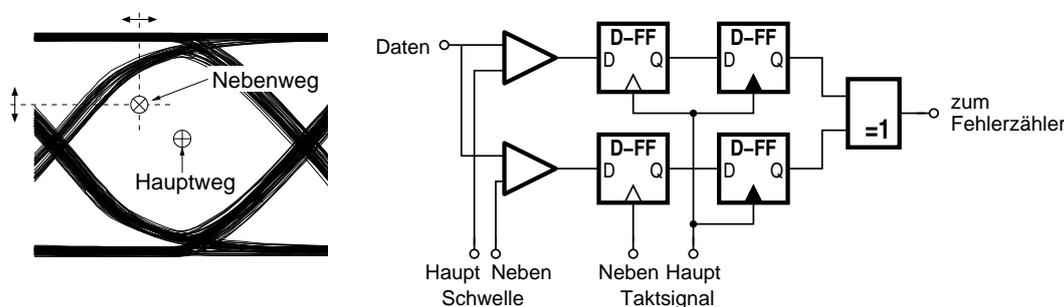


Abb. 3.3: Messung der Pseudo-Fehlerrate.

Ein bereits seit langem bekanntes Verfahren zur Bewertung der Signalqualität ist die sogenannte Pseudo-Fehlerratenmessung (PER = pseudo error rate) [38]. Hierbei wird das Signal durch zwei getrennte Wege, einem Haupt- und einem Nebenweg, abgetastet. Dabei wird der Hauptkanal mit optimalen Einstellungen für Abtastzeitpunkt und Entscheiderschwelle betrieben. Der Nebenweg hingegen wird mit einstellbarem Abtastzeitpunkt und variabler Entscheiderschwelle ausgelegt. Wird der Nebenweg in einen ungünstigeren Arbeitspunkt gebracht, so weichen dessen abgetastete Werte teilweise von denen des Hauptweges ab. Diese Abweichungen werden mit einem Exklusiv-Oder-Gatter detektiert und anschließend gezählt. Auf diese Weise kann eine Pseudo-Fehlerrate ermittelt werden.

Dieses Verfahren wurde bereits für 10 Gbit/s [39] realisiert. Es kann z.B. im laufenden Betrieb die aktuelle Fehlerrate abgeschätzt werden, wobei sogar Fehleraten von kleiner 10^{-20} extrapoliert werden können [40]. Bei dieser Messung wird die Pseudo-Bitfehlerrate über der Entscheiderschwelle aufgetragen. Die sich ergebende Kurve ähnelt einem V, daher wird dieses Verfahren oft

auch als „V-Curve“-Messung bezeichnet. Auch in kommerziellen Produkten wird dieses Verfahren teilweise eingesetzt. In [41] wird ein Chip angekündigt, der bis 2,7 Gbit/s arbeitet und ohne Datenverlust zwischen Haupt- und Nebenweg umschalten kann, wodurch immer der optimale Arbeitspunkt gehalten werden kann.

Nachteilig bei diesem Verfahren ist jedoch, dass zur präzisen Messung eine massive Rechnerunterstützung notwendig ist, da verschiedene Messpunkte angefahren werden müssen. Dieses benötigt auch entsprechend Zeit, so dass eine Kompensation der PMD mit diesem Verfahren nicht realisiert werden kann. Außerdem setzt dieses Verfahren voraus, dass sich der Hauptweg immer im Optimum befindet.

Neben dem oben erwähnten Verfahren zur PER-Bestimmung, das mit einem Offset in der Entscheidungsschwelle arbeitet, und daher auch als „lower-threshold method“ bezeichnet wird, gibt es noch ein weiteres Verfahren, das dem Gebiet der PER zuzurechnen ist. Dieses wird als „Additives Rausch-Verfahren“ (additive noise method) bezeichnet. Dabei wird ein Teil des (optischen) Signals abgezweigt und ein Rauschsignal überlagert. Anschließend werden die empfangenen Bits des regulären Kanals mit denen des zusätzlich verrauschten Kanals verglichen, wobei Abweichungen zwischen diesen beiden Bits als Pseudofehler gewertet werden.

3.2.3 Bewertung durch ein Histogramm

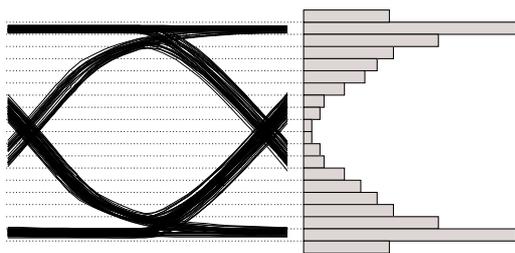


Abb. 3.4: Bewertung der Signalqualität mit einem Histogramm.

Wird das Signal mit mehreren Komparatoren bei unterschiedlichen Schwellen abgetastet und die Häufigkeit eines jeden Abtastwertes gezählt, so ergibt sich ein Histogramm (Abb. 3.4) [42]. Hierbei kann das Signal auch asynchron, z.B. mit einem Sampling-Scope, abgetastet werden [43, 44], so dass auch optisch transparente Kanäle auf ihre Qualität hin überwacht werden können.

Neben der Bitfehlerrate lassen sich teilweise noch weitere Ursachen für Störungen, wie Übersprechen, Verstärkerrauschen und Dispersion, aus dem gemessenen Histogramm ableiten. Allerdings benötigen die bisher in der Literatur vorgestellten Verfahren eine Messdauer von mehreren Sekunden. Auch ist die

Integration auf einem Chip aufgrund der hohen Komplexität (A/D-Umsetzer, mehrere Zähler usw.) zumindest für hohe Bitraten momentan nicht möglich. Ein weiteres Problem dieser Messmethode ist, dass die für die PMD-Kompensation erforderliche Messgeschwindigkeit nur schwer erreicht werden kann.

3.2.4 Bewertung anhand eines Rasters

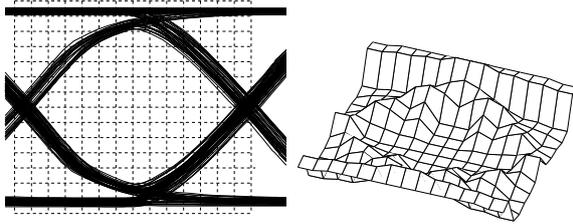


Abb. 3.5: Bewertung der Signalqualität mit einem Raster.

Noch genauere Angaben über die Fehlerursache erhält man, wenn ein Raster über das Augendiagramm gelegt wird (Abb. 3.5) und für jedes Rechteck des Rasters die Häufigkeit des Aufenthalts gemessen wird. In [45, 46] wird ein System vorgestellt, welches das Augendiagramm auf ein 7x7 Raster abbildet und anschließend mit Hilfe eines neuronalen Netzwerks die Ursache des Fehlers ermittelt.

Der Vorteil dieses Systems ist, dass es sehr genau arbeitet, da es der Bewertung des Augendiagramms mittels Sampling-Oszilloskop sehr nahe kommt. Allerdings ist auch die Komplexität entsprechend hoch, d.h. eine Integration für hohe Bitraten und die Realisierung der gewünschten Messgeschwindigkeit sind bislang kaum möglich. Für Systeme mit niedrigen Datenraten (z.B. Satellitenkommunikation) ist es aber gut geeignet.

3.2.5 Übersicht über die vorgestellten Verfahren

Tab. 3.1: Vergleich der Bewertungsverfahren.

	BER	Pseudofehler	Histogramm	Raster
Komplexität	aufwändig	sehr gering	aufwändig	sehr aufw.
Erkennung von Fehlerquellen	nicht möglich	schlecht	gut	sehr gut
Messdauer	sehr lang	mittel	lang	lang

In Tabelle 3.1 sind die vorgestellten Verfahren mit ihren wesentlichen Eigenschaften noch einmal gegenübergestellt. Die BER scheidet dabei für die vorgesehene Anwendung von vornherein aus, da die Übertragung der Nutzdaten für einen längeren Zeitraum unterbrochen werden muss. Am ehesten geeignet scheint die PER-Methode, allerdings stört die erforderliche Mikrocontroller-Steuerung und die damit verbundene Messdauer.

3.3 Verwendetes Prinzip der Augenöffnungsbewertung

Aufbauend auf der PER-Methode wurde ein Bewertungsverfahren entwickelt, welches ohne Mikrocontroller auskommt und eine wesentlich kürzere Messdauer von deutlich unter einer Millisekunde aufweist. Auf die Möglichkeit zur Erkennung der Fehlerquelle wurde dabei verzichtet, da hier die PMD als Fehlerquelle im Vordergrund steht und die Schaltung nur Informationen über die momentane Augenöffnung liefern soll.

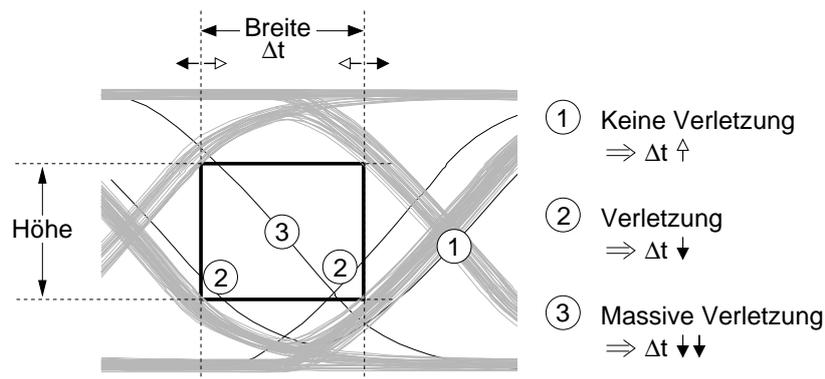


Abb. 3.6: Verwendetes Prinzip der Augenöffnungsbewertung.

Diese wurde folgendermaßen realisiert: In dem Augenmuster-Analysator wird ein Rechteck in der Augenmitte definiert (vgl. Abb. 3.6). Dabei ist die Höhe fest vorgegeben (genauer: über eine externe Spannung einstellbar), die Breite hingegen ist variabel. Durch eine geeignete Schaltung wird die Breite des Rechtecks stetig an die Augenöffnung angepaßt. Dabei wird folgende Regel angewendet: Immer, wenn ein Signalverlauf das Rechteck berührt, wird dies als **Verletzung** betrachtet. Zusätzlich wird noch zwischen normalen Verletzungen, bei denen das Signal nur eine Ecke streift (② in Abb. 3.6), und massiven Verletzungen (③), bei denen das Signal das gesamte Rechteck durchquert, unterschieden. Wird das Rechteck verletzt, so wird dessen Breite verringert, wobei eine massive Verletzung zu einer entsprechend stärkeren Verringerung führt. Andererseits wird die Breite vergrößert, wenn keine Verletzung vorliegt (①). Im eingeschwungenen Zustand ist die eingestellte Breite somit ein Maß für die aktuelle Augenöffnung bei gegebener Höhe des Rechtecks.

3.3.1 Implementierung des Bewertungsrechtecks

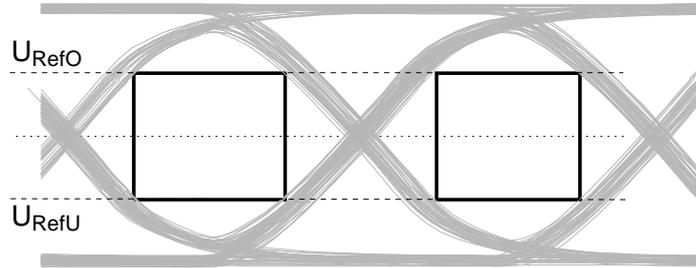


Abb. 3.7a: Festlegung der oberen und unteren Seite des Rechtecks.

An dieser Stelle wird zunächst die Implementierung des Bewertungsrechtecks für den 10 GBit/s-Entwurf vorgestellt. Auf die für den 20 Gbaud-Entwurf notwendigen Änderungen wird in Kap. 5.1 eingegangen. Zunächst werden die **obere** und **untere Seite** des Bewertungsrechtecks durch zwei Komparatoren (K_1 und K_2) festgelegt, deren Referenzspannungen U_{RefO} und U_{RefU} symmetrisch zur Augenmitte gewählt sind (Abb. 3.7a). Ein weiterer Komparator (s.u.) arbeitet in der Augenmitte. Die Zustände der Komparatoren ergeben sich also folgendermaßen² (hierbei wird ein differentielles Signal zugrunde gelegt, d.h. die Mittellinie des Augendiagrammes liegt bei 0 V):

$$K_1 = \begin{cases} 0 & U < U_{RefO} \\ 1 & U > U_{RefO} \end{cases} \quad (3.2)$$

$$K_2 = \begin{cases} 0 & U < U_{RefU} \\ 1 & U > U_{RefU} \end{cases} \quad (3.3)$$

$$K_3 = \begin{cases} 0 & U < 0 \\ 1 & U > 0 \end{cases} \quad (3.4)$$

Die Erzeugung der variablen rechten und linken Seite ist erwartungsgemäß etwas aufwändiger.

Ausgehend vom externen 10 GHz Systemtakt wird zunächst ein 5 GHz Quadraturtakt erzeugt und mit Hilfe einer Phasenregelschleife (DLL=Delay Locked Loop) zum Datensignal synchronisiert (Clk_0 und Clk_{90} in Abb. 3.7b). Von diesem Quadraturtakt werden dann zwei weitere Takte (Clk_R und Clk_L in

²Der Zustand für z.B. $U = U_{RefO}$ wurde der Übersichtlichkeit halber nicht aufgenommen, da dieser metastabil ist. Formell ergäbe sich hierfür ein Wert von 0,5.

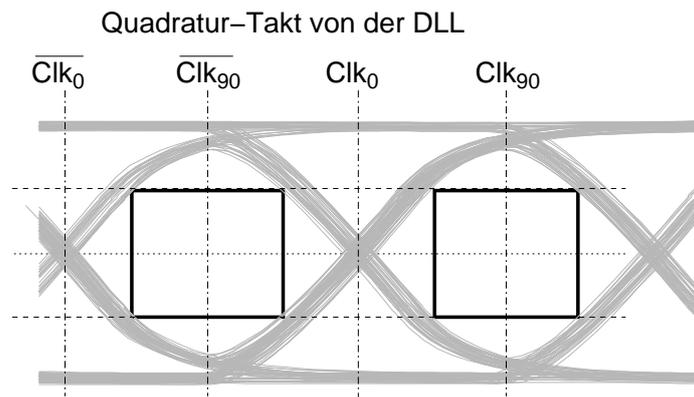


Abb. 3.7b: Lage des DLL-Quadraturtakts.

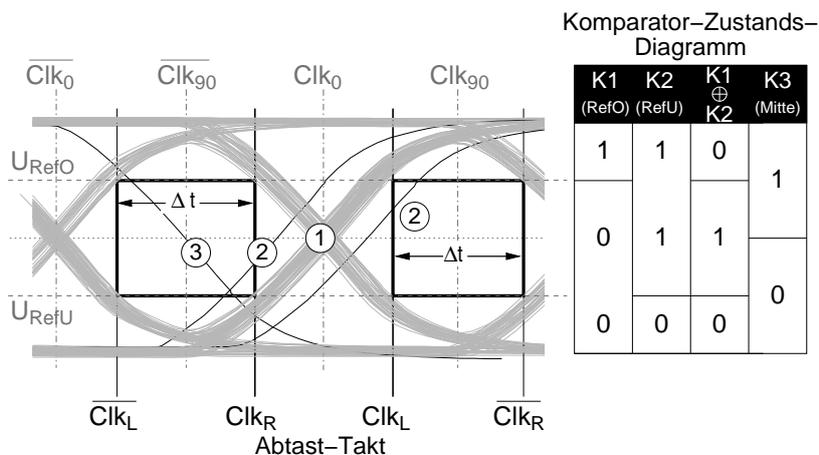


Abb. 3.7c: Festlegung der linken und rechten Seite des Rechtecks.

Abb. 3.7c) abgeleitet, deren Phasen sich in Abhängigkeit von Δt symmetrisch zu Clk_0 verstellen lassen.

Diese Takte bilden die **linke** (Clk_L) und die **rechte Seite** (Clk_R) des Bewertungsrechtecks. Mit jeder fallenden Flanke des Taktsignals werden dabei die Komparatoren abgetastet. Um die Schaltung etwas einfacher zu gestalten, werden genau genommen nicht die linke und rechte Seite eines Rechtecks bewertet, sondern die rechte Seite eines Rechtecks und die linke Seite des darauffolgenden Rechtecks (vgl. Abb. 3.7c). Hierdurch ergibt sich der Vorteil, dass nur eine Datenflanke berücksichtigt werden muss. Des Weiteren wird durch den durch zwei geteilten Takt nur jedes zweite Auge abgetastet, wodurch die Geschwindigkeitsanforderungen an die Elektronik reduziert werden³. Da eine Auswertung der abgetasteten Werte nur dann sinnvoll ist, wenn auch

³Eine Bewertung jedes zweiten Bits hat bei Zeitmultiplex-Signalen allerdings den Nachteil, dass bestimmte Kanäle nicht berücksichtigt werden. Daher wurde für die 20 Gbaud-Version ein Teiler durch drei verwendet (vgl. Kap. 5.1), welcher dieses Problem umgeht.

eine Datenflanke vorhanden ist, wird ein dritter Komparator K_3 mit einer Referenzspannung in der Augenmitte als Flankendetektor (FD) verwendet. Ein FD-Signal ergibt sich durch

$$FD = K_3(\overline{T_L}) \oplus K_3(T_L) \quad . \quad (3.5)$$

Hierbei bedeutet $K_3(T_L)$ das Ausgangssignal des Komparators 3, welches mit fallender Flanke von Clk_L abgetastet wurde; entsprechend ist $K_3(\overline{T_L})$ das bei steigender Flanke von Clk_L abgetastete Signal. Mit diesem FD-Signal und den gespeicherten Signalen der Komparatoren K_1 und K_2 kann durch logische Verknüpfungen entschieden werden, ob eine Verletzung vorliegt, und ob es sich um eine massive Verletzung handelt:

$$\begin{aligned} \Delta t \uparrow &= \left[\left(K_1(T_R) \oplus K_2(T_R) \right) + \left(K_1(T_L) \oplus K_2(T_L) \right) \right] \cdot FD \\ \Delta t \downarrow &= \left[\left(K_1(T_R) \oplus K_2(T_R) \right) + \left(K_1(T_L) \oplus K_2(T_L) \right) \right] \cdot FD \\ \Delta t \downarrow\downarrow &= \left[\left(K_1(T_R) \oplus \overline{K_1}(T_L) \right) + \left(K_2(T_R) \oplus \overline{K_2}(T_L) \right) \right] \cdot FD \end{aligned} \quad (3.6)$$

Anschließend wird das Rechteck entsprechend verkleinert oder vergrößert und die Bewertung beginnt von neuem.

3.3.2 Verifikation des Prinzips mit einer Hardware-Beschreibungssprache

Durch Einsatz von Hardware-Beschreibungssprachen (HDL=hardware description language) kann das Verhalten einer Schaltung vorab simuliert werden, ohne Schaltungen auf Transistorebene entwerfen zu müssen. Üblicherweise wird dieses Verfahren bei komplexen Digitalschaltungen eingesetzt, wobei die Schaltungsfunktion in Verilog oder VHDL beschrieben wird. Der weitere Entwurfsablauf erfolgt dann weitestgehend automatisiert.

Es existieren jedoch auch Beschreibungssprachen für analoge Schaltungen, wie z.B. Verilog-A oder das hier verwendete HDL-A, welches im Simulationsprogramm ELDO [47] implementiert ist. Damit lassen sich die einzelnen Schaltungsblöcke zunächst als „Black Box“ modellieren und dann nach und nach durch Transistorschaltungen ersetzen.

Bei dem Entwurf des Augenmuster-Analysators wurde das Konzept zunächst in HDL-A überprüft, da hierzu einerseits keine Schaltungen auf Transistorebene nötig sind, und andererseits, da die Simulationszeiten aufgrund

der stark vereinfachten Modelle deutlich reduziert sind. Hierdurch können die Delay-Locked-Loop und vor allem das Analysatorkonzept schnell realisiert werden. Gerade bei dem Analysatorkonzept muss die Funktion in allen Betriebszuständen und unter allen Startbedingungen getestet werden, um sicherzustellen, dass keine unerlaubten Zustände auftreten. Gleichzeitig zeigte sich bei diesen Simulationen bereits, dass einerseits die Einführung der „massiven Verletzungen“ nötig war, um schnell auf entsprechende Störungen zu reagieren, und dass es andererseits sinnvoll ist, auf die Zustände „Verletzung“ und „keine Verletzung“ unterschiedlich stark zu reagieren. Würde man z.B. beide Zustände gleich stark gewichten, so hätte dies zur Folge, dass im eingeschwungenen Zustand immer eine Verletzung ein gutes Auge kompensiert. Durch eine entsprechend veränderte Gewichtung kann z.B. erreicht werden, dass zwei gute Augen nötig sind, um eine Verletzung zu kompensieren. Hierdurch reagiert die Schaltung empfindlicher auf Verletzungen, allerdings weist die Ausgangsspannung dann auch stärkere Schwankungen auf. Eine endgültige Optimierung erfolgte jedoch erst auf Transistorebene beim Entwurf der Ladungspumpe (vgl. Kap. 4.2.4).

3.4 Zusammenfassung zu Kapitel 3

Ausgehend von der Definition des Augendiagramms wurde zunächst ein Überblick über bekannte Prinzipien zur Signalbewertung gegeben. Die bei Inbetriebnahme von Strecken übliche Bitfehlerratenmessung scheidet als Verfahren dabei von vornherein aus, da die eigentliche Signalübertragung für mehrere Minuten unterbrochen werden muss.

Ein weiteres gängiges Verfahren, welches sich auch gut als integrierte Schaltung realisieren lässt, ist die Pseudo-Fehlerratenmessung. Hierbei wird ein zusätzlicher Abtastzweig mit variabler Entscheiderschwelle und/oder Taktphase eingeführt und die Abweichungen zur idealen Abtastung gezählt. Nachteilig bei diesem Verfahren ist allerdings, dass der optimale Abtastpunkt bekannt sein muss, und dass zur präzisen Messung eine massive Rechnerunterstützung nötig ist, wodurch auch die erforderliche Messdauer für eine PMD-Kompensation zu groß wird.

Weiterhin besteht die Möglichkeit, durch ggf. auch asynchrones Abtasten ein Histogramm der Amplitude zu erstellen oder sogar ein Raster über das Auge zu legen und die Aufenthaltshäufigkeit des Signals in jedem Feld zu zählen. Diese Verfahren lassen sich jedoch aufgrund ihrer Komplexität mit

den momentan zur Verfügung stehenden Technologien nicht auf einem Chip integrieren. Interessant ist jedoch die Möglichkeit, auch Rückschlüsse über die Ursache der Störung ziehen zu können.

Aufbauend auf diesen Erkenntnissen wurde eine Augenöffnungsbewertung entworfen, welche bei vorgegebener Augenöffnungshöhe in Echtzeit die dazugehörige Breite bestimmt. Hierzu wird ein Bewertungsrechteck mit Hilfe einer Phasenregelschleife in die Augenmitte gelegt und die Breite der Augenöffnung angepasst. Dieses erfolgt durch Auswertung der Zustände dreier Komparatoren, wobei verschiedene Ereignisse unterschiedlich stark gewichtet werden. Durch Einsatz einer Hardware-Beschreibungssprache wurde das ausgewählte Prinzip auf seine Eignung hin überprüft.

Der wesentliche Vorteil dieses neuen Prinzips gegenüber den bekannten Verfahren ist, dass es wie die Pseudo-Fehlerratenmessung problemlos integrierbar ist, jedoch nahezu in Echtzeit (deutlich unter einer Mikrosekunde) auf Änderungen der Augenöffnung reagiert, ohne dass zusätzliche Rechnerunterstützung nötig ist. Da ein Rechteck zur Bewertung verwendet wird, und so die gesamte Augenöffnung überwacht wird, muss nicht ein optimaler Abtastpunkt wie bei der Pseudofehlerrate bekannt sein. Somit eignet es sich optimal für die bereits in Kap. 1 beschriebene elektronische Signalverarbeitung auf der Empfängerseite und ist durch den einfachen Aufbau auch gut für WDM-Systeme geeignet.

Der Augenmuster-Analysator

Aufbauend auf das im vorangegangenen Kapitel geschilderte Prinzip, soll ein Augenmuster-Analysator (AMA) für Datenraten bis 10 Gbit/s entworfen werden. In einem weiteren Durchlauf (s. Kap. 5) erfolgt dann ein Ausbau auf quaternäre Signale mit Datenraten von bis zu 20 Gbaud (d.h. 40 Gbit/s binär). Der 10 Gbit/s Entwurf wurde in einer Silizium-Germanium-Technologie mit einer maximalen Transitfrequenz f_T von 50 GHz realisiert (vgl. Anhang A.2).

In diesem Kapitel wird die Schaltung, ausgehend vom kompletten Blockdiagramm, besprochen. Dabei werden einige Teilschaltungen nur auf Logikebene vorgestellt, sofern sie überwiegend aus Standardschaltungen bestehen. Dort, wo es von besonderem Interesse ist, wird jedoch auch die Transistorebene behandelt. Anschließend wird auf einige Layout-Details eingegangen und die erzielten Messergebnisse werden präsentiert.

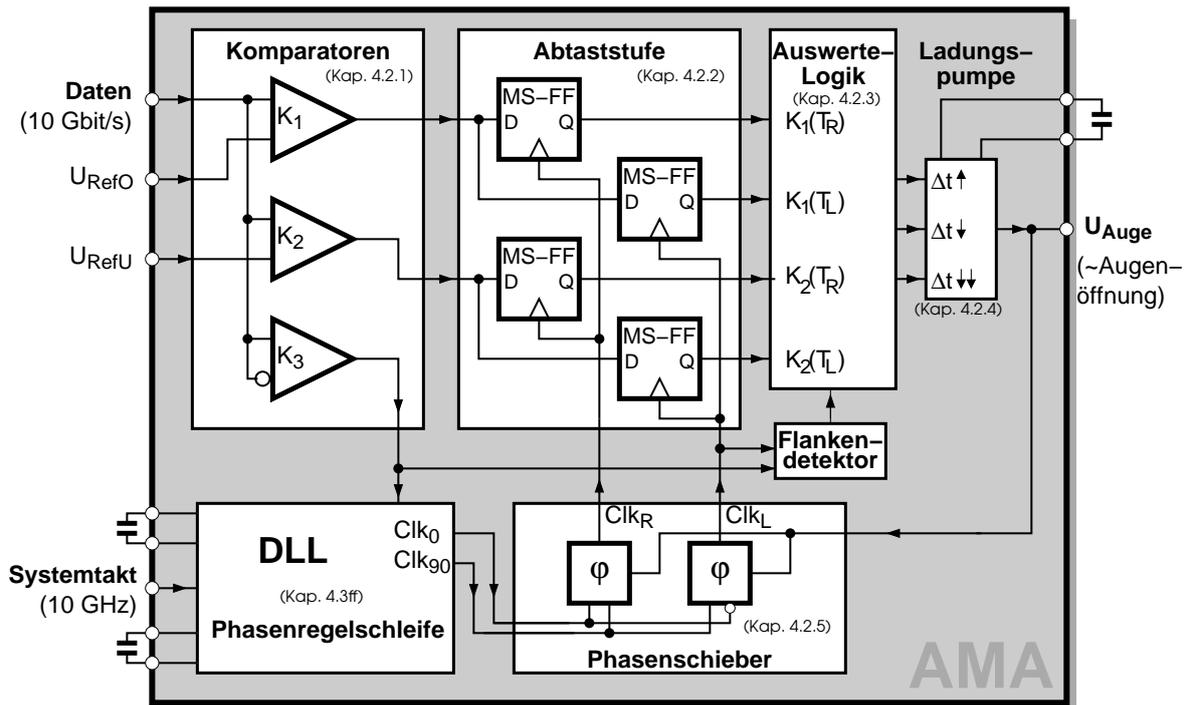


Abb. 4.1: Blockschaltbild des Augenmuster-Analysators.

Das gesamte Blockdiagramm des Augenmuster-Analysators zeigt Abb. 4.1. Wie im vorangegangenen Kapitel bereits erwähnt, halbiert eine Phasenregelschleife (DLL) zunächst die Frequenz des externen Systemtakts und stellt einen mit dem Datensignal synchronisierten Quadraturtakt (Clk_0 , Clk_{90}) zur Verfügung. Das Datensignal wird mit den Referenzspannungen durch drei Komparatoren K_1 - K_3 verglichen. Dabei werden die Ausgänge der Komparatoren K_1 und K_2 in der Abtaststufe in Abhängigkeit der Takte Clk_L und Clk_R gespeichert. Der dritte Komparator K_3 , welcher in der Augenmitte arbeitet¹, liefert das Signal für die DLL und den Flankendetektor. Die in der Abtaststufe gespeicherten Werte werden durch eine Auswerte-Logik, in dem die Gleichungen (3.6) implementiert sind, in Steuersignale für die Ladungspumpe umgesetzt, deren Ausgangsspannung U_{Auge} das Maß für die Augenöffnung liefert. Diese Spannung U_{Auge} steuert auch die Phasenschieber, so dass eine geschlossene Regelschleife gebildet wird, da die Phasenschieber wiederum die Takte Clk_L und Clk_R verstellen. Somit entspricht die Ausgangsspannung U_{Auge} im eingeschwungenen Zustand der horizontalen Augenöffnung für eine vorgegebene Höhe.

¹Hierbei wird der Referenzeingang nicht auf null Volt gelegt, sondern es wird stattdessen das invertierte Datensignal benutzt. So wird im Komparator K_3 die Problematik der Gleichtaktaussteuerung (vgl. Kap. 4.2.1) umgangen.

Im Folgenden werden in Kap. 4.2 zunächst ausgewählte Schaltungsdetails der Kernfunktionen des Augenmuster-Analysators beschrieben. Anschließend folgen in Kap. 4.3 Einzelheiten zu der auf dem Chip integrierten Phasenregelschleife.

4.1 Schaltungstechnik für hohe Datenraten

Die hier vorgestellten Schaltungen wurden auf der Basis der E²CL-Schaltungstechnik entworfen. In dieser für höchste Datenraten gängigen Technik [48] werden die Funktionen mit Hilfe von Stromschaltern realisiert. Im Unterschied zur ECL-Technik sind bei E²CL die Emitterfolger vor dem Stromschalter angeordnet, so dass die Ausgänge einer Stufe immer eine massebezogene Spannung aufweisen und zudem kurzschlussfest sind. Zusätzlich können so die Ausgangstreiber, welche externe Leitungen treiben sollen, gut an den Wellenwiderstand angepasst werden. Ein weiterer Vorteil der ECL- und E²CL-Technik sind die daraus resultierenden differentiellen Signale. Hierdurch werden zwar zwei Leitungen pro Signal benötigt, allerdings werden durch die Differenzsignale wesentlich kleinere Hübe möglich. Auch ist eine einfache Invertierung der Logik durch Vertauschen der beiden Leitungen des Differenzsignals möglich. Um die Verlustleistung gering zu halten, wurden die internen Spannungshübe auf $400 \text{ mV}_{\text{pp,diff}}$ begrenzt und für die untere Stromschalterebene möglichst ein Emitterfolger mit Diode in Serie statt zweier kaskadierter Emitterfolger verwendet.

4.2 Schaltungsstruktur des Analysator-Kerns

4.2.1 Komparatorstufe des Analysators

Zusammen mit der Abtaststufe sind die Komparatoren die geschwindigkeitskritischsten Komponenten des Analysators, da sie die volle Datenrate von 10 Gbit/s verarbeiten müssen. Der Eingangshub am Komparator beträgt nominell $500 \text{ mV}_{\text{pp,diff}}$, maximal $1 \text{ V}_{\text{pp,diff}}$.

Die Komparatorstufe des Augenmuster-Analysators ist vollständig differentiell ausgeführt, wodurch sich gegenüber dem einfachen Differenzverstärker als Komparator wesentliche Vorteile ergeben:

- Der **doppelte Signalhub** steht zur Verfügung. Da das gesamte System für differentielle Signale ausgelegt ist, würde ansonsten bei einem einfachen

Differenzverstärker (bei dem ein Eingang mit dem Signal und der andere mit der Referenz verbunden ist) die Hälfte des Pegels „verschenkt“.

- Die Verwendung eines vollständig differentiellen Konzepts führt auch zu einer guten **Gleichtaktunterdrückung**. Dies gilt sowohl für den Daten-, als auch für den Referenzeingang.
- Es besteht ein geringerer **Einfluss von Störungen**, da diese i.A. auf beide Leitungen eines differentiellen Signals einwirken.
- Die **Realisierung der symmetrischen Schwellen** U_{RefO} und U_{RefU} wird vereinfacht.

Das Schaltbild der drei Komparatoren K_1 bis K_3 , welche identisch aufgebaut sind, zeigt Abb. 4.2 [49, 50, 51].

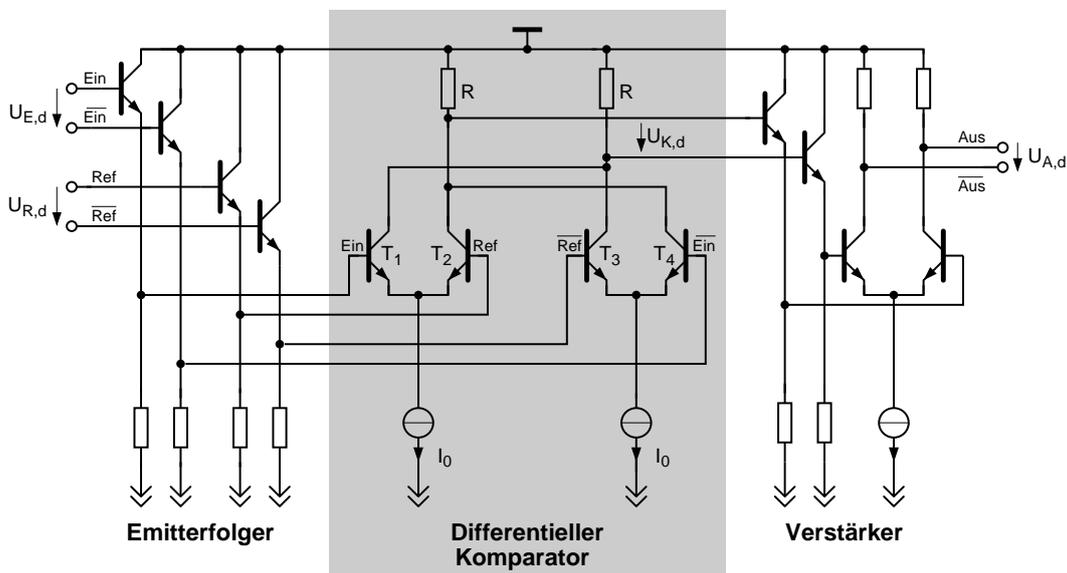


Abb. 4.2: Schaltplan der differentiellen Komparatoren (die Komparatoren K_1 bis K_3 sind identisch).

Zur Analyse des differentiellen Komparators soll Abb. 4.3 zu Grunde gelegt werden, d.h. die beiden miteinander verschalteten Differenzverstärker (T_1 und T_2 bzw. T_3 und T_4) werden getrennt voneinander betrachtet. Die resultierende Ausgangsspannung ergibt sich dann nach dem Superpositionsprinzip zu

$$U_{K,d} = U_{K1,d} + U_{K2,d} \quad (4.1)$$

Die Eingangsspannungen setzen sich zusammen aus einem Gleichtaktanteil U_{CM} und einem Signalanteil, der hier als Gleichspannung U_E angenommen

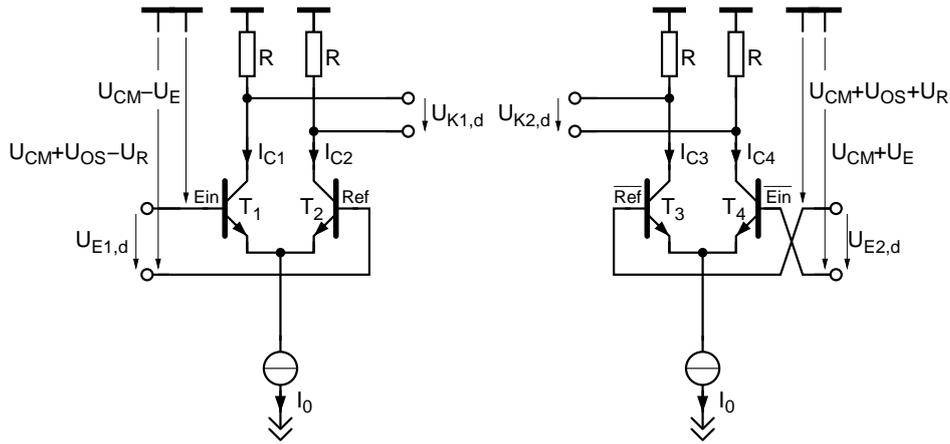


Abb. 4.3: Details zum Komparator aus Abb. 4.2.

wird. Die differentielle Eingangsspannung beträgt somit $U_{E,d} = 2U_E$. Gleiches gilt für die Referenzspannung, die allerdings noch um eine zusätzliche Offsetspannung U_{OS} gegenüber der Eingangsspannung verschoben ist. Der Komparator soll folgende Ausgangsspannung aufweisen:

$$U_{K,d} \begin{cases} < 0 \text{ V} & \text{für } U_{E,d} < U_{R,d} \\ > 0 \text{ V} & \text{für } U_{E,d} > U_{R,d} \end{cases} \quad (4.2)$$

Betrachtet man die einzelnen Differenzverstärker, so gilt [52]:

$$U_{K1,d} = R \cdot I_0 \cdot \tanh\left(\frac{U_{E1,d}}{2 \cdot U_T}\right) \quad \text{und} \quad U_{K2,d} = R \cdot I_0 \cdot \tanh\left(\frac{U_{E2,d}}{2 \cdot U_T}\right) \quad (4.3)$$

mit $U_T = \frac{kT}{e} \approx 25,7 \text{ mV}$ bei 25°C . Werden die in Abb. 4.3 eingezeichneten Spannungen eingesetzt, so ergibt sich

$$\begin{aligned} U_{K1,d} &= R \cdot I_0 \cdot \tanh\left(\frac{U_{E1,d}}{2 \cdot U_T}\right) = R \cdot I_0 \cdot \tanh\left(\frac{U_{CM} - U_E - (U_{CM} + U_{OS} - U_R)}{2 \cdot U_T}\right) \\ &= R \cdot I_0 \cdot \tanh\left(\frac{-U_E + U_R - U_{OS}}{2 \cdot U_T}\right) \end{aligned} \quad (4.4)$$

$$\begin{aligned} U_{K2,d} &= R \cdot I_0 \cdot \tanh\left(\frac{U_{E2,d}}{2 \cdot U_T}\right) = R \cdot I_0 \cdot \tanh\left(\frac{U_{CM} + U_{OS} + U_R - (U_{CM} + U_E)}{2 \cdot U_T}\right) \\ &= R \cdot I_0 \cdot \tanh\left(\frac{-U_E + U_R + U_{OS}}{2 \cdot U_T}\right) \end{aligned} \quad (4.5)$$

Es ist zu erkennen, dass beide Terme bis auf die Eingangsoffsetspannung U_{OS} (zwischen Eingangs- und Referenzspannung) identisch sind. Es wird um den Arbeitspunkt, d.h. den hier interessierenden Umschalt- und Linearisierungspunkt, linearisiert, wozu wird die Näherung

$$\tanh x = x - \frac{1}{3}x^3 + \frac{2}{15}x^5 - \dots \approx x \quad (4.6)$$

verwendet [53]. Hierdurch ergibt sich für die Ausgangsspannung $U_{K,d}$ im Kleinsignalbetrieb:

$$\begin{aligned}
 U_{K,d} = U_{K1,d} + U_{K2,d} &= R \cdot I_0 \cdot \left[\tanh \left(\frac{-U_E + U_R - U_{OS}}{2 \cdot U_T} \right) + \tanh \left(\frac{-U_E + U_R + U_{OS}}{2 \cdot U_T} \right) \right] \\
 &\approx \frac{R \cdot I_0}{2 \cdot U_T} [-U_E + U_R - U_{OS} - U_E + U_R + U_{OS}] \quad (4.7) \\
 &= -\frac{R \cdot I_0}{2 \cdot U_T} [U_{E,d} - U_{R,d}] \quad .
 \end{aligned}$$

D.h. in grober Näherung ist die Ausgangsspannung $U_{K,d}$ proportional zur Differenz $(U_{E,d} - U_{R,d})$, womit die Forderung nach (4.2) erfüllt ist. Ein vorhandener Eingangsspannungsoffset U_{OS} zwischen $U_{E,d}$ und $U_{R,d}$ wird dabei unterdrückt. Allerdings wird durch die Linearisierung (4.6) vernachlässigt, dass jeder der beiden Differenzverstärker nur einen begrenzten Aussteuerbereich hat. Da an den Differenzverstärkern jedoch im Nulldurchgang des Komparators, d.h. bei $U_{E,d} = U_{R,d}$, eine Eingangsspannung von $\pm U_{OS}$ anliegt, ist die Funktion des Komparators von dieser Offsetspannung U_{OS} abhängig. Wichtig hierbei ist die Steilheit g_m eines Differenzverstärkers, welche definiert ist als

$$g_m = \frac{d I_{C,d}}{d U_{E^*,d}} \quad (4.8)$$

mit $I_{C,d}$ als Differenz-Ausgangsstrom und $U_{E^*,d}$ als Differenz-Eingangsspannung. Ausgehend von der für einen Differenzverstärker geltenden Gleichspannungs-Übertragungsfunktion

$$I_{C,d} = I_0 \cdot \tanh \left(\frac{U_{E^*,d}}{2 \cdot U_T} \right) \quad (4.9)$$

ergibt sich die Steilheit g_m zu² [54, 53]

$$g_m = \frac{d I_D}{d U_{E^*,d}} = \frac{I_0}{2 \cdot U_T} \cdot \frac{1}{\cosh^2 \left(\frac{U_{E^*,d}}{2 \cdot U_T} \right)} = \frac{I_0}{2 \cdot U_T} \operatorname{sech}^2 \left(\frac{U_{E^*,d}}{2 \cdot U_T} \right) \quad . \quad (4.10)$$

²Hyperbelsekans: $\operatorname{sech}^2 x = \frac{1}{\cosh^2 x}$ [53].

In Abb. 4.4 ist die Funktion $f(U_{E^*,d}) = \operatorname{sech}^2 \frac{U_{E^*,d}}{2U_T}$ dargestellt. Dieser kann entnommen werden, dass die Steilheit g_m nur für $U_{E^*,d} \approx 0$ V hoch ist. Von dem differentiellen Komparator wird eine möglichst hohe Steilheit insbesondere im Umschaltunkt, d.h. bei $U_{E,d} = U_{R,d}$, gefordert. So ist gewährleistet, dass bereits kleine Differenzen zwischen $U_{E,d}$ und $U_{R,d}$ hinreichend gut erkannt werden.

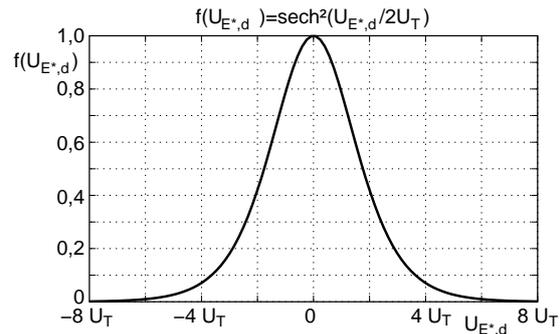


Abb. 4.4: Die Funktion $f(U_{E^*,d}) = \operatorname{sech}^2 \frac{U_{E^*,d}}{2U_T}$.

Im Umschaltunkt ist allerdings $U_{EI,2,d} = \pm U_{OS}$, d.h. die Steilheit der beiden Differenzverstärker beträgt

$$g_{m1,2} = \frac{I_0}{2 \cdot U_T} \operatorname{sech}^2 \left(\frac{\pm U_{OS}}{2 \cdot U_T} \right) . \quad (4.11)$$

Hieraus ergibt sich für eine möglichst hohe Steilheit im Umschaltunkt die Forderung

$$U_{OS} \stackrel{!}{=} 0 \text{ V} , \quad (4.12)$$

d.h. $U_{E,d}$ und $U_{R,d}$ sollten eine möglichst identische Gleichtaktaussteuerung besitzen. Die Realisierung dieser Forderung wird später näher erläutert. In diesem Zusammenhang sei noch mal auf die Verschaltung von Komparator K_3 in Abb. 4.1 verwiesen. Dort wurden der Signal- und Referenzeingang miteinander verbunden, um die Problematik der Gleichtaktunterdrückung zu umgehen.

Ein weiterer Vorteil des differentiellen Komparators ist die einfache Einstellung der symmetrischen Referenzspannungen für die Komparatoren K_1 und K_2 . Hierzu werden die Referenzeingänge des zweiten Komparators K_2 einfach vertauscht (Abb. 4.5). So ist die Lage der Referenzspannungen symmetrisch zur Augenmitte immer gewährleistet.

Wie in Abb. 4.5 zu sehen ist, sind sowohl Daten- als auch Referenzeingang des Komparators mit 50Ω abgeschlossen. Bei dem Dateneingang ist dieser Widerstand gleichzeitig der Leitungsabschluss der Zuleitung. Am Referenzeingang sollen diese niederohmigen Abschlusswiderstände störende Einflüsse durch Übersprechen, usw. unterdrücken. Gleichzeitig werden die Widerstände aber auch in die Einstellung der Referenzspannungen mit einbezogen. Mit Hilfe der externen, diskreten Schaltung nach Abb. 4.6 wird ein Strom in die auf dem Chip integrierten 50Ω -Widerstände eingepreßt. Die Schaltung besteht im Wesentlichen aus einem Differenzverstärker, aufgebaut mit einem gepaarten

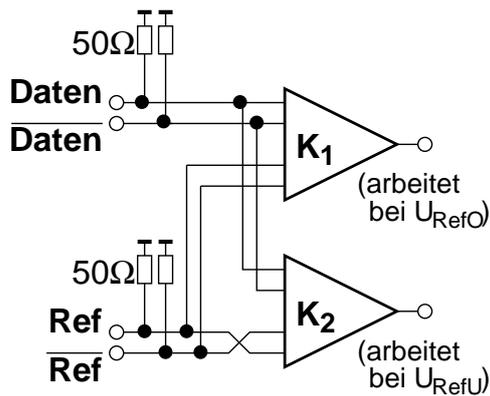


Abb. 4.5: Erzeugung der symmetrischen Referenzspannungen U_{RefO} und U_{RefU} .

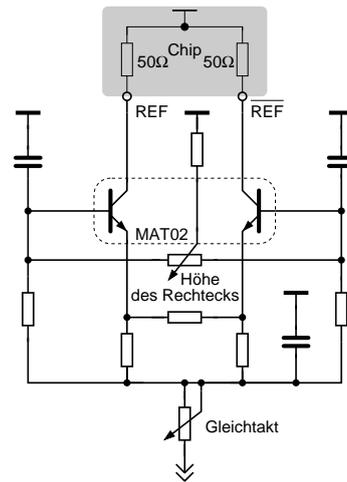


Abb. 4.6: Schaltung zur Einstellung von Gleichtakt- und Differenzsteuerung der Referenzspannung $U_{R,d}$.

Doppeltransistor MAT02. Ein Potentiometer dient zur Einstellung der Differenz, d.h. der Höhe des Rechtecks. Mit einem weiteren Potentiometer kann der Strom, und somit der Gleichtaktunterschied zwischen $U_{E,d}$ und $U_{R,d}$, geregelt werden.

4.2.2 Abtaststufe

Die Abtaststufe besteht aus vier identischen MS-D-FFs, deren Schaltplan Abb. 4.7 zeigt. Ein zusätzlicher Differenzverstärker am Ausgang dient einerseits zur Ansteuerung der Auswerte-Logik, andererseits gleicht er die bei einem MS-D-FF üblichen Spannungseinbrüche während des Umschaltens aus. Die endgültige Synchronisation der abgetasteten Werte erfolgt jedoch erst in der Auswerte-Logik (Kap. 4.2.3).

Um eine präzise Abtastung der Komparatorsignale zu erreichen, mussten die Flip-Flops für eine hohe Schaltgeschwindigkeit dimensioniert werden. Daher ergibt sich ein verhältnismäßig hoher Leistungsbedarf der Abtaststufe, welche zusammen mit den hier nicht gezeigten Takttreibern zur Ansteuerung der MS-D-FFs insgesamt ca. 675 mW, d.h. 15 % der gesamten Leistung, verbraucht.

Ein weiteres Problem ist die Verdrahtung des Abtastblocks, sowie die Verbindung mit den Komparatoren im Layout, da alle Leitungen gleich lang sein müssen, um präzise Abtastzeitpunkte sicherzustellen.

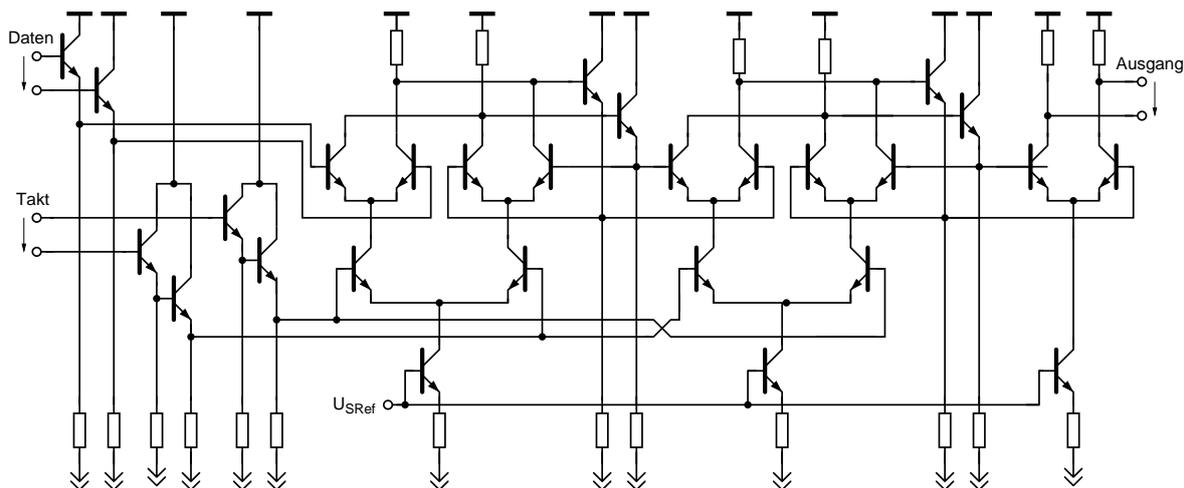


Abb. 4.7: Schaltplan eines der MS-D-FFs der Abtaststufe.

4.2.3 Auswerte-Logik

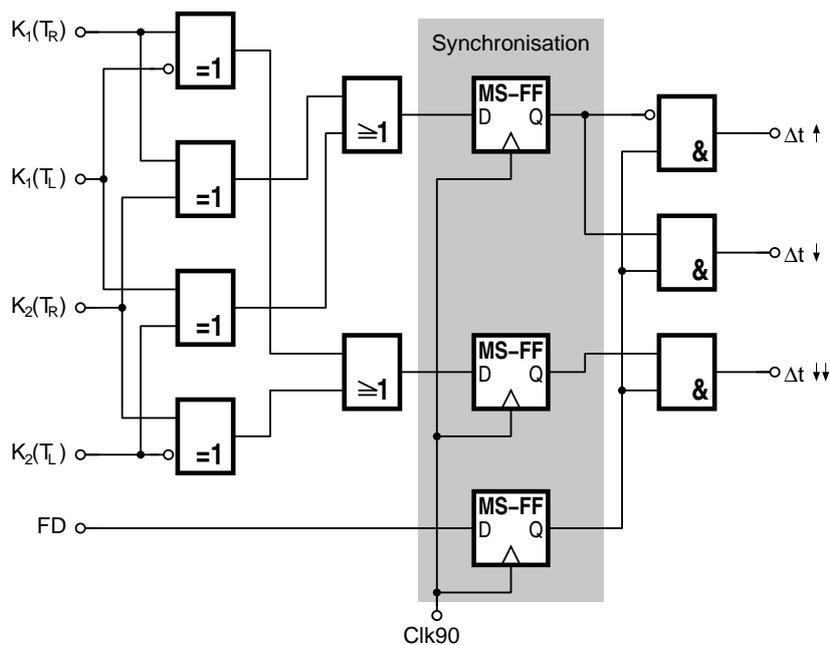


Abb. 4.8: Blockschaltbild der Auswerte-Logik.

Wie bereits erwähnt, enthält die Auswerte-Logik die Gleichungen (3.6) zur Bewertung des Rechtecks, wobei die Schaltung auf eine möglichst geringe Gatteranzahl hin optimiert wurde. Da die Abtastung der Komparatoren zu zwei verschiedenen Zeitpunkten (T_R bzw. T_L) erfolgt, müssen die Signale synchronisiert werden, um eindeutige, störimpulsfreie Ergebnisse zu erhalten. Mittels Optimierung der einzelnen Gatterlaufzeiten konnte erreicht werden, dass diese Synchronisation erst nach der Zusammenfassung durch die OR-

Gatter erfolgen muss. Hierdurch werden gegenüber einer Synchronisation direkt zu Beginn der Auswerte-Logik zwei MS-D-FFs eingespart, was sich auch positiv auf den Stromverbrauch auswirkt. Abschließend erfolgt eine AND-Verknüpfung mit dem (ebenfalls synchronisierten) Flankendetektor (FD)-Signal. Die daraus resultierenden Ausgänge steuern dann die Ladungspumpe an. Auf die schaltungstechnische Realisierung auf Transistorebene soll hier nicht weiter eingegangen werden, da es sich um Standard-Schaltungen der ECL-Technik handelt.

4.2.4 Ladungspumpe

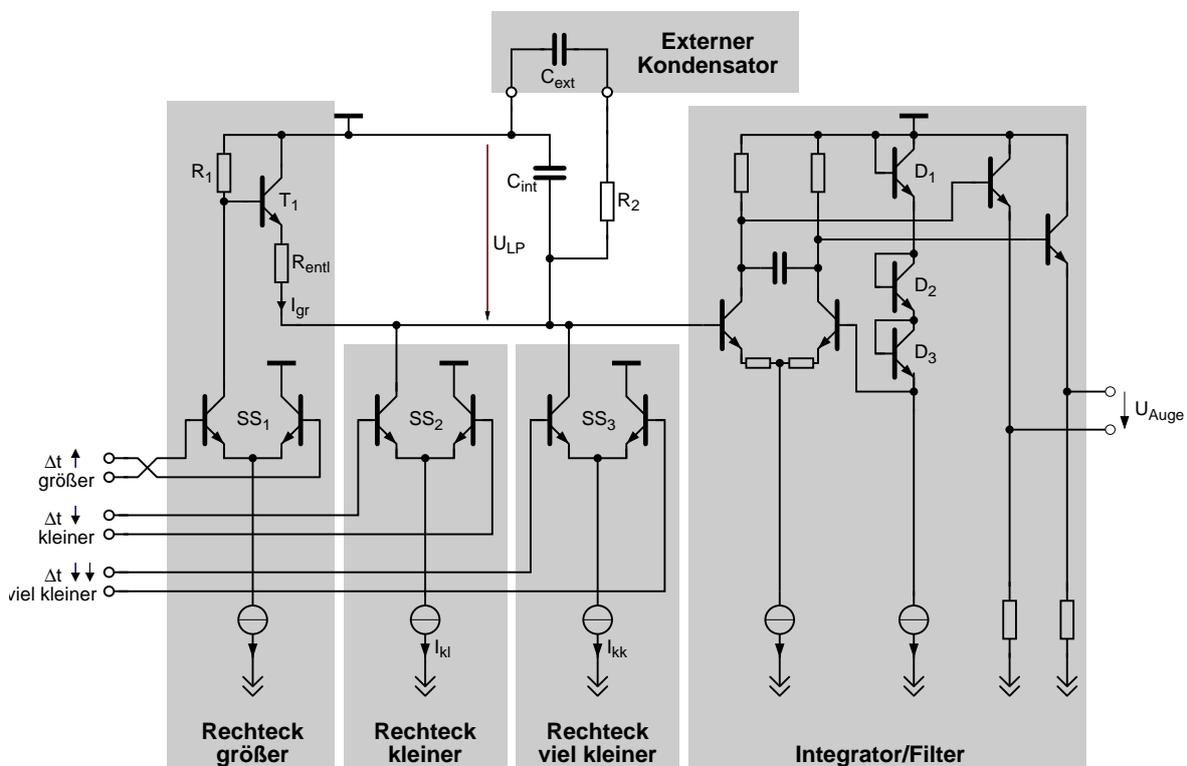


Abb. 4.9: Schaltplan der Ladungspumpe.

Die Ladungspumpe setzt die drei digitalen Eingänge (keine Verletzung, Verletzung, massive Verletzung) in die analoge Ausgangsspannung U_{Auge} um, welche gleichzeitig auch auf die Phasenschieber zurückgekoppelt wird. Wie in Abb. 4.9 zu sehen, besteht die Ladungspumpe aus einem geschalteten Emitterfolger (T_1 und SS_1) zum Entladen des Kondensators und zwei Stromschaltern (SS_2 und SS_3) zum Laden desselben. Zusätzlich wird auch ein externer Kondensator C_{ext} verwendet, um die Zeitkonstante zu vergrößern und variabel zu gestalten.

Die Stabilität der Ladungspumpe wird dabei durch den Serienwiderstand R_2 gewährleistet.

Zur Funktion: Normalerweise fließt durch den Widerstand R_1 ein Strom, der die Basis des Transistors auf ca. -2,4 V festlegt. Dadurch ist der Transistor T_1 gesperrt, solange die Spannung U_{LP} über dem Kondensator C_{int} kleiner als ca. 3,2 V ist. Um den Kondensator zu **entladen** wird der Stromschalter SS_1 umgeschaltet, so dass die Basis von T_1 auf Masse liegt. Dadurch leitet der Transistor (für $U_{LP} > 0,8$ V) und der Kondensator wird über R_{entl} und T_1 entladen.

Im Gegenzug wird der Kondensator mit den Stromschaltern SS_2 und SS_3 **aufgeladen**. Da sich deren Ströme getrennt über I_{kl} und I_{kk} einstellen lassen, werden massive Verletzungen entsprechend stärker gewichtet (vgl. Kap. 3.3.2). Bei massiven Verletzungen wird der Kondensator mit einem Strom von

$$I_{kk} = 2,3 \cdot I_{kl} \quad (4.13)$$

aufgeladen. Es werden jedoch auch unterschiedliche Lade-/Entladeströme für den normalen Fall verwendet.

Dies ist notwendig, da durch die Ladungspumpe ein Mittelwert zwischen als „gut“ bewerteten Augen ohne Verletzung und zwischen Augen mit Verletzung gebildet wird. Dies führt zu „geduldeten Verletzungen“, d.h. im eingeschwungenen Zustand sind immer auch einige Abtastwerte innerhalb des Bewertungsrechtecks (s. Abb. 4.10).

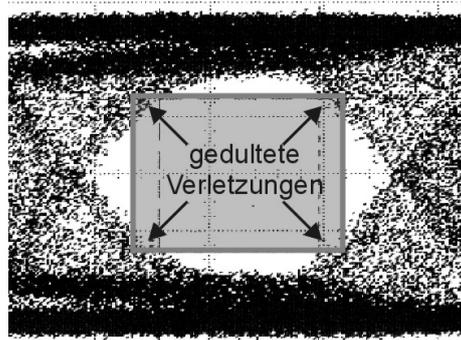


Abb. 4.10: Geduldete Verletzungen.

Dieser Anteil „geduldeter Verletzungen“ kann durch das Verhältnis der Ströme I_{gr} zu I_{kl} beeinflusst werden. In Simulationen (Kap. 3.3.2) stellte sich ein Verhältnis von

$$I_{gr}/I_{kl} = 0,7 \quad (4.14)$$

als optimaler Kompromiss heraus. Ein größeres Verhältnis hätte entsprechend mehr „geduldete Verletzungen“ zur Folge, ein kleineres hingegen eine schlechtere Stabilität und eine größere Welligkeit des Ausgangssignals. Hinter der Ladungspumpe wird die Spannung noch durch ein zusätzliches Tiefpassfilter mit einer Grenzfrequenz von 60 MHz geglättet. Dieses ist notwendig, da ansonsten durch das schnelle Schalten der Stromschalter (bis zu 5 GHz) die Ausgangsspannung zu viele Störungen aufweisen würde. In diesem Filter wird gleichzeitig die massebezogene Kondensatorspannung in eine differentielle

Spannung umgewandelt, wobei die Referenz durch drei Dioden D_1 bis D_3 auf ca. $-2,4\text{ V}$ festgelegt wird. Da die Regelschleife die Spannung U_{Auge} auf einen Bereich von $\pm 0,3\text{ V}$ regelt (abhängig von der momentanen Augenöffnung), ergibt sich für den Eingang des Filters ebenfalls eine Differenzspannung von $\pm 0,3\text{ V}$ (bei einer Verstärkung von eins). Somit beträgt die Spannung über dem Kondensator im Arbeitspunkt ca. $-2,4\text{ V} \pm 0,3\text{ V}$.

Auch wenn die Spannung innerhalb der Ladungspumpe über dem Kondensator massebezogen ist, wurde auf dem Chip ein separater Masseanschluss (Bondpad) für den externen Kondensator vorgesehen. Dieses verhindert Störungen durch Spannungsdifferenzen zwischen interner und externer Masse, welche insbesondere durch Stromspitzen in den Bonddrähten verursacht werden.

4.2.5 Phasenschieber

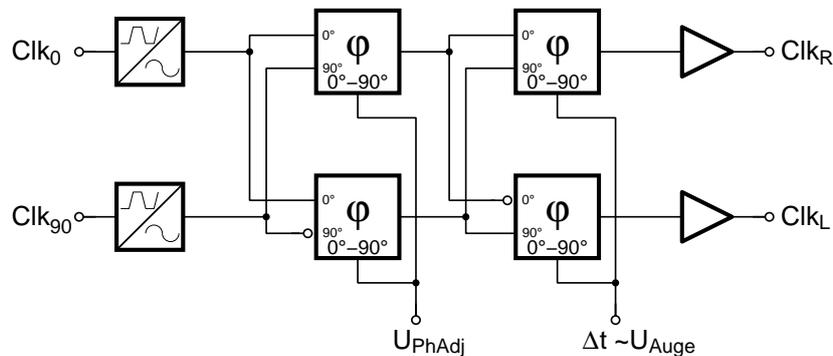


Abb. 4.11: Blockschaltbild der Phasenschieber-Anordnung des Analysators.

Der Phasenschieberblock aus Abb. 4.11 enthält vier identische 0° - 90° Phasenschieber [55]. Zusätzlich wird die Signalform zunächst angepasst, da die verwendeten Phasenschieber nur mit einem Sinus- bzw. Dreieckssignal ordnungsgemäß funktionieren. Nach dieser Signalumformung ist in der ersten Stufe ein Abgleich der Phasenlage zwischen Analysator und DLL vorgesehen. Diese Abgleichmöglichkeit ist notwendig, da die langen Verbindungsleitungen auf dem Chip nicht vollständig in die Simulation mit einbezogen werden konnten. Es wurden lediglich Widerstand und parasitäre Kapazität berücksichtigt. Für genauere Ergebnisse wäre jedoch ein verteiltes LC-Modell nötig gewesen. Aber auch dann hätten Abweichungen in der Simulation oder den Modellen schnell zu einem Totalausfall führen können. Daher kann die Phasenlage mit Hilfe der externen Spannung U_{PhAdj} von 0° bis 90° -Grad verstellt werden. Zusätzlich können in der DLL (vgl. Kap. 4.3) durch den Schalteingang $Ph_{0/90}$ die Taktsignale Clk_0

und Clk_{90} so vertauscht und invertiert werden, dass sich eine weitere Änderung von 90° ergibt. Insgesamt kann so die Phase stufenlos zwischen 0° und 90° , sowie von 90° bis 180° eingestellt werden, d.h. der Einstellbereich entspricht einem ganzen Bit³. In einem zweiten Schritt erfolgt dann die Verschiebung in Abhängigkeit von der Spannung U_{Auge} . Anschließend wird der Pegel durch Verstärker wieder angehoben, um die Leitung zu der Abtaststufe zu treiben und um zu erreichen, dass die Abtast-Flip-Flops sicher schalten. Die Abhängigkeit der Phase und der Ausgangsamplitude von der Steuerspannung, bestimmt durch Spice-Simulationen, ist in Abb. 4.13 dargestellt. Hieraus ist auch zu erkennen, dass der maximale Hub der Ausgangsspannung U_{Auge} (vollständig geschlossenes Auge bis ideales Auge) ca. $1,6\text{ V}$ beträgt. In der Praxis ergibt sich ein weitaus kleinerer Wert von ca. 300 mV Spannungsunterschied zwischen einem zu 20% und einem zu ca. 80% geöffnetem Auge.

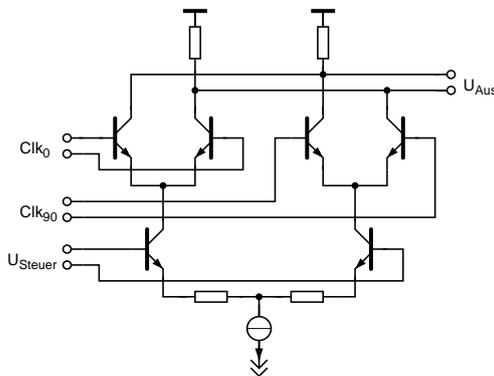


Abb. 4.12: Phasenschieber mit von 0° - 90° einstellbarer Phase.

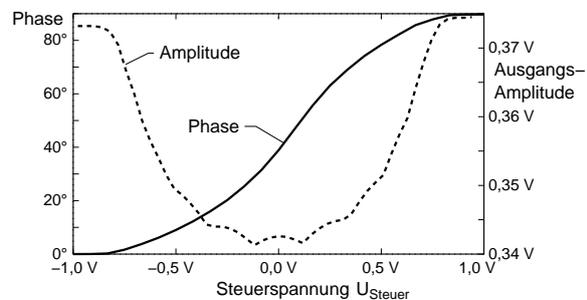


Abb. 4.13: Abhängigkeit der Phase und der Ausgangs-Amplitude von der Steuerspannung (Simulation).

4.3 Phasenregelschleife

Auf dem Chip ist eine Phasenregelschleife (DLL=delay locked loop) integriert. Diese regelt den Abtast-Takt immer in eine optimale Lage, so dass die Phasenlage zwischen externem Takt- und Datensignal beliebig gewählt werden kann. Dieses ist notwendig, da die Taktrückgewinnung des Systems mit relativ großen Zeitkonstanten arbeitet, und da sich die Phasenlage des Datensignals durch Veränderung der Equalizer-Einstellungen (vgl. Abb. 1.3) verschieben kann. Diese Phasenschwankungen müssen möglichst schnell ausgeglichen werden, damit die nächste Messung erfolgen kann. Zusätzlich ermöglicht die Pha-

³da der Takt 5 GHz bei 10 Gbit/s beträgt

senregelschleife einen Stand-Alone Betrieb des Analysators ohne aufwändige Abgleicharbeiten.

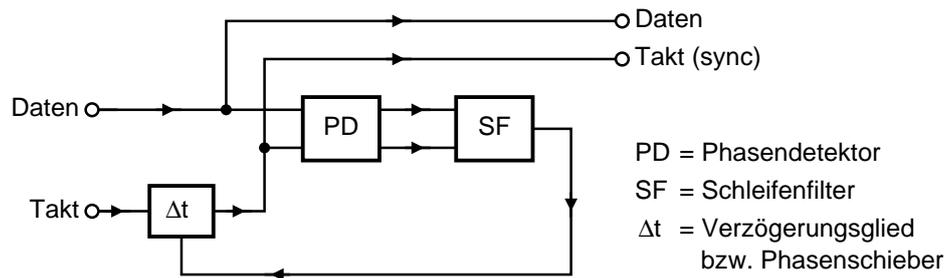


Abb. 4.14: Struktur einer Phasenregelschleife (DLL).

Eine einfache Phasenregelschleife besitzt die in Abb. 4.14 dargestellte Struktur. Die Phase des Eingangssignals wird mit der Phase des Taktsignals in einem **Phasendetektor** (PD) verglichen. Der Phasendetektor erzeugt, abhängig von der Phasendifferenz zwischen Daten- und Taktsignal, Impulse, welche in einem **Schleifenfilter** (SF) in eine analoge Ausgangsspannung umgewandelt werden. Diese Spannung steuert dann ein Verzögerungsglied oder einen Phasenschieber an, so dass im eingeschwungenen Zustand die Phase von Takt- und Eingangssignal übereinstimmen.

Die DLL belegt insgesamt ca. $\frac{1}{3}$ der Chipfläche und benötigt ca. 1,8 W. Um die Funktion des Analysators ohne DLL testen zu können, wurde eine zusätzliche Chipvariante ohne DLL gefertigt (vgl. Kap. 4.4). Die DLL-Funktion hingegen kann durch Testausgänge, welche die Takte Clk_0 und Clk_{90} nach außen führen, überprüft werden.

4.3.1 Schaltungsstruktur der Phasenregelschleife

Bevor weitere Details der DLL besprochen werden, soll zunächst das gesamte Blockschaltbild nach Abb. 4.15 vorgestellt werden. Der in der DLL verwendete und in Kap. 4.3.2 näher beschriebene Phasendetektor kann auch mit einem Quadraturtakt mit halber Frequenz betrieben werden, wodurch die Geschwindigkeitsanforderungen an die gesamte DLL etwas entschärft werden. Daher wird der externe Systemtakt auf dem Chip zunächst halbiert. Bei Verwendung eines MS-D-FFs als Frequenzteiler ergibt sich dabei automatisch ein Quadraturtakt, d.h. Master- und Slave-Ausgang sind um 90° phasenversetzt (s. Abb. 4.16).

Danach passiert der Quadraturtakt einen Taktschalter, der zusammen mit der Aussteuerungsüberwachung den für eine DLL nötigen, unendlichen Phasenraum realisiert. Die genaue Funktion dieses Schaltungsteils wird in Kap. 4.3.4 erläutert. Anschließend folgen zwei Phasenschieber (je einer für I-

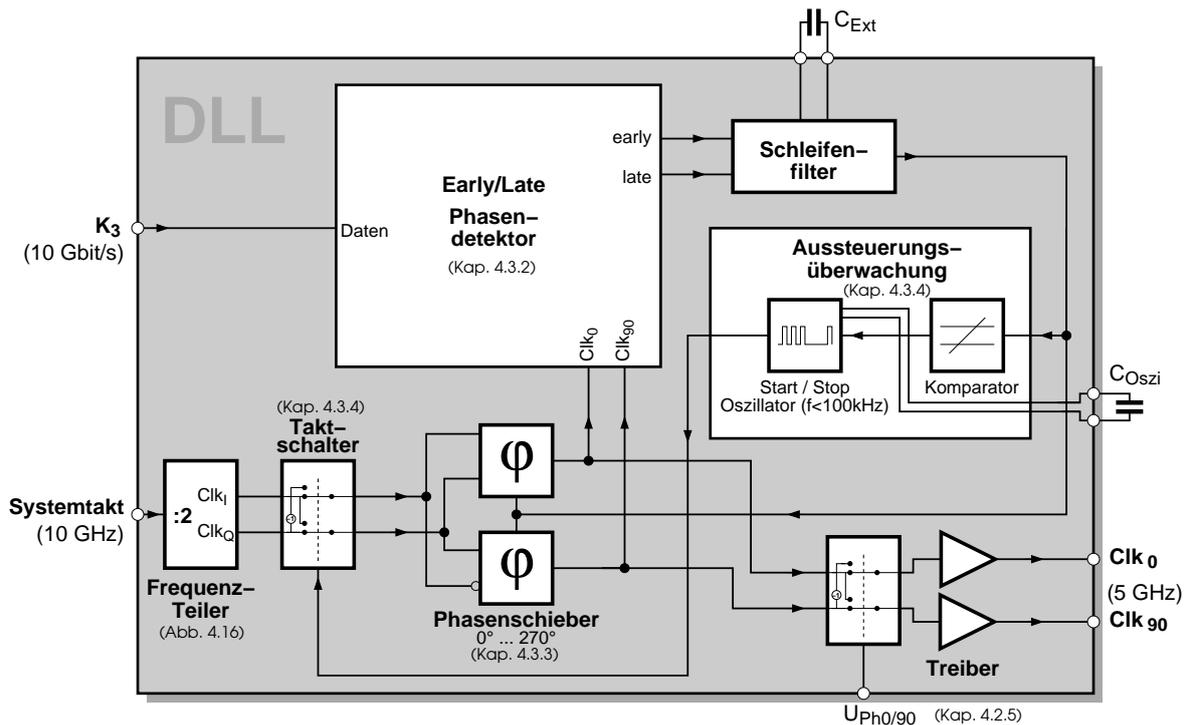


Abb. 4.15: Blockschaltbild der Phasenregelschleife des Augenmuster-Analysators.

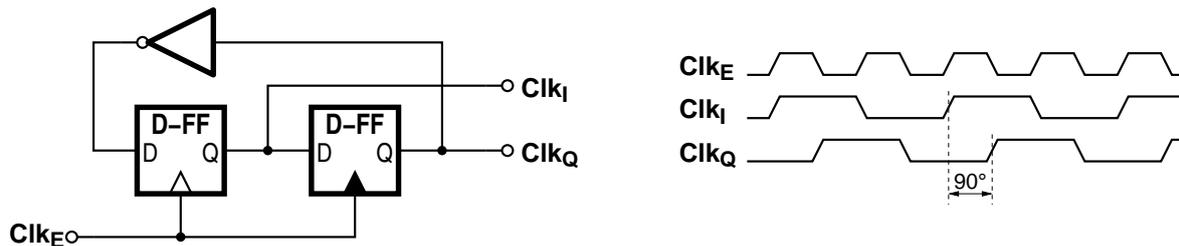


Abb. 4.16: Erzeugung eines Quadraturtakts mit einem MS-D-FF. Die Signale eines Quadraturtakts werden üblicherweise mit I für In-Phase bzw. Q für Quadratur-Phase gekennzeichnet.

und Q-Takt) mit einem Einstellbereich von 0° - 270° , was $1\frac{1}{2}$ Bits entspricht. In dem Phasendetektor wird das von den Phasenschiebern kommende Signal (Clk_0 und Clk_{90}) mit dem Datensignal bezüglich der Phase verglichen. Der Phasendetektor steuert dann ein Schleifenfilter, welches mit seinem Ausgangssignal wiederum die Phasenschieber verstellt und so die Phasen von Clk_0 und Clk_{90} an das Datensignal anpasst. Diese entsprechend synchronisierten Taktsignale können noch einmal fest um 90° verschoben werden (vgl. 4.2.5), um den Abgleich zwischen DLL und Analysator zu realisieren. Dann verlassen die Signale, nachdem sie verstärkt wurden, die DLL und steuern den Analysator.

4.3.2 Phasendetektor

Für den Phasendetektor (PD) gibt es verschiedene Ansätze, wobei insbesondere unterschieden werden muss, ob nur reine Taktsignale oder auch nicht-repulsive Datensignale verarbeitet werden können. In Tab. 4.1 sind einige Konzepte, die auch für Datensignale geeignet sind, aufgeführt [56].⁴

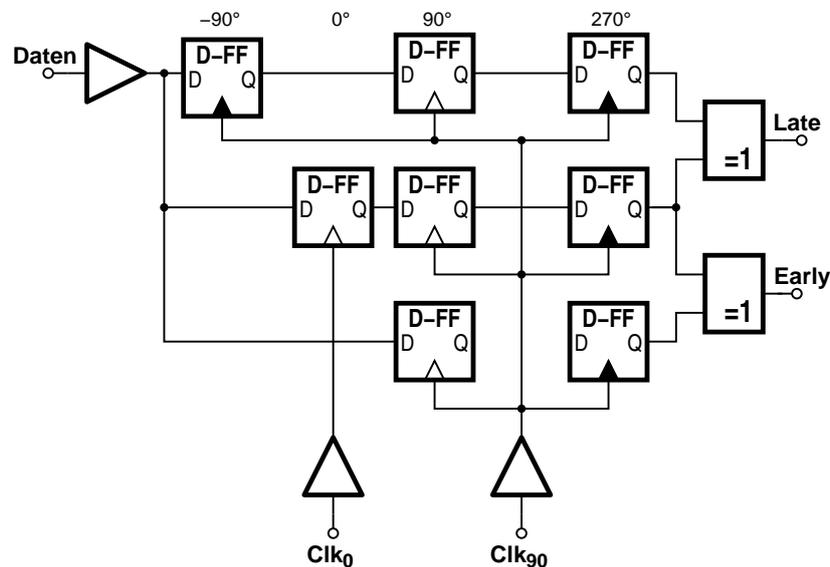


Abb. 4.17: Blockschaltbild des Early/Late-Phasendetektors.

Für den Augenmuster-Analysator wurde ein Early-Late Phasendetektor gewählt, da dieser in der Summe die besten Eigenschaften aufweist. Ein großer Vorteil des Early-Late-PD ist, dass er gut mit einem Quadraturtakt der halben Frequenz betrieben werden kann, was die Geschwindigkeitsanforderungen an die gesamte DLL deutlich senkt [58, 59]. Die Schaltungsstruktur eines Early-Late-PD zeigt Abb. 4.17.

Das Eingangs-(Daten-)Signal wird mit den D-Flip-Flops $D\text{-}FF_1$ bis $D\text{-}FF_3$ zu drei Zeitpunkten ($\overline{Clk_{90}}$, Clk_0 und Clk_{90}) abgetastet. Anschließend werden die abgetasteten Signale in $D\text{-}FF_4$ bis $D\text{-}FF_6$ synchronisiert, und es wird mit Hilfe zweier EXOR-Gatter bestimmt, ob das Taktsignal dem Eingangssignal voreilt (early) oder nacheilt (late) (Abb. 4.18). Da dieser PD nur die Aussage trifft, ob das Signal vor- oder nacheilt, wird er auch als „Bang-Bang“-Phasendetektor bezeichnet. Im Vergleich dazu gibt es auch lineare Phasendetektoren (z.B. Hogge-PD), deren Ausgangssignal im Mittel auch die Größe der Abweichung widerspiegelt. Zur Verdeutlichung des Unterschiedes zwischen linearem und

⁴Ein typisches Beispiel eines einfachen Phasendetektors, der nur Taktsignale verarbeiten kann, ist z.B. ein Multiplizierer bzw. ein EXOR [56, 57].

Tab. 4.1: Einige Konzepte für Phasendetektoren (PD) und ihre wesentlichen Eigenschaften.

Konzept	Vorteile	Nachteile	Ref.
MS-D-FF als PD	<ul style="list-style-type: none"> • Einfacher Aufbau (2 Flip-Flops) 	<ul style="list-style-type: none"> • keine Selbstjustierung • undef. Zustand, falls keine Daten anliegen 	[60]
Sägezahn-PD	<ul style="list-style-type: none"> • Einfacher Aufbau (RS-Flip-Flops) • Selbstjustierung 	<ul style="list-style-type: none"> • Hoher Phasenjitter 	[61]
Hogge-PD	<ul style="list-style-type: none"> • Lineare Kennlinie • Selbstjustierung • Nur digitale Komponenten • Regenerator integriert 	<ul style="list-style-type: none"> • Phasenfehler in Abh. von Flankendichte • Bei hohen Taktraten ist die Laufzeit durch FFs kritisch 	[62] [63]
Early-Late-PD (Alexander-PD)	<ul style="list-style-type: none"> • Regenerator integriert • Selbstjustierung • nur digitale Komponenten • keine Abhängigkeit von Flankendichte • Halber Takt (Quadraturtakt) möglich [58] 	<ul style="list-style-type: none"> • bei kleinen Phasendifferenzen Fehler wg. metastabilen FlipFlop-Zuständen möglich • Aufwändiger als Hogge-PD 	[64]

nichtlinearem Phasendetektor sind in Abb. 4.19a die Kennlinie eines idealen linearen Phasendetektors und in Abb. 4.19b die Kennlinie eines idealen „Bang-Bang“-Phasendetektors dargestellt. Hierbei wurde die mittlere Ausgangsspannung \bar{u}_{PD} über der Phase aufgetragen.

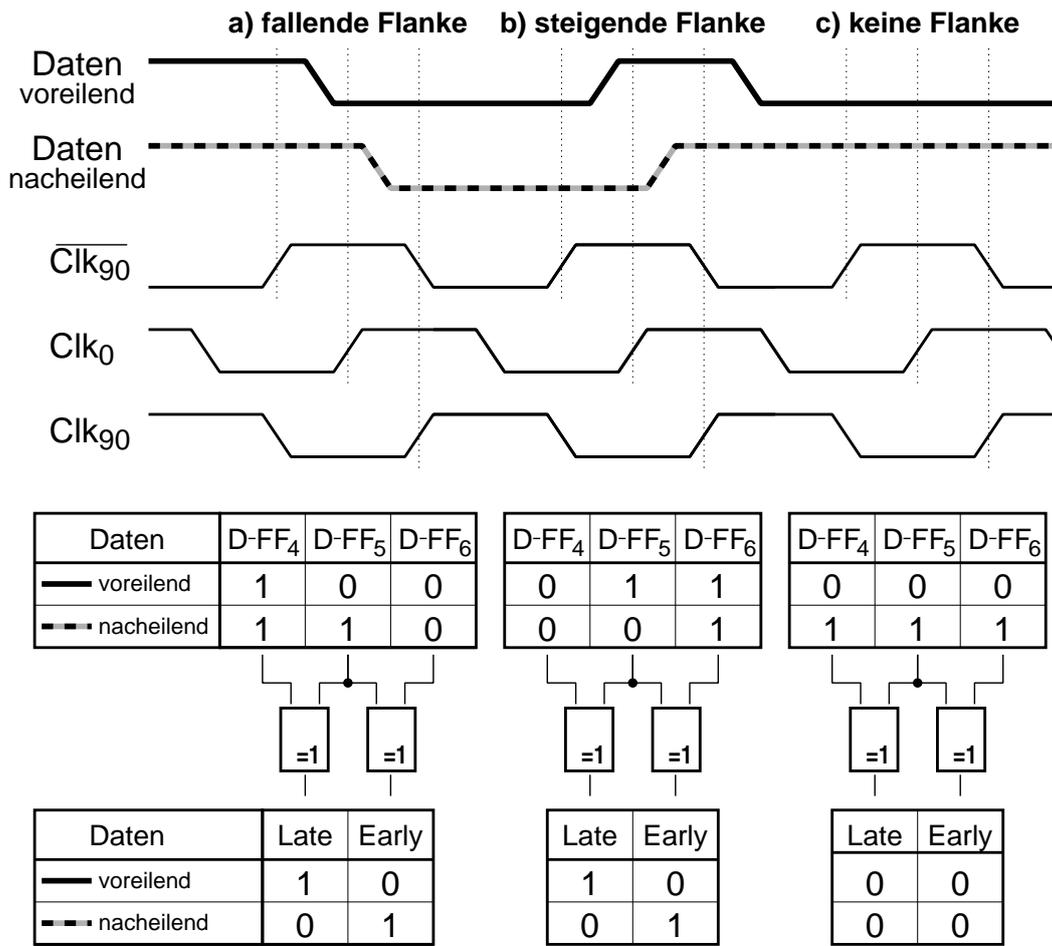


Abb. 4.18: Funktionsweise des Early/Late-Phasendetektors.

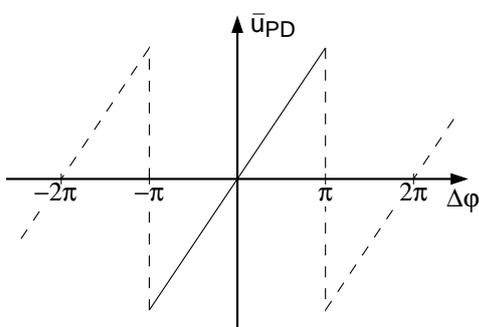


Abb. 4.19a: Kennlinie eines linearen Phasendetektors.

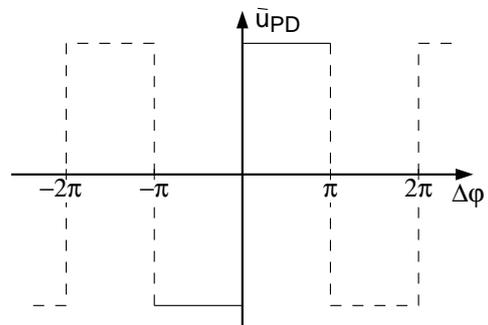


Abb. 4.19b: Kennlinie des idealen Early/Late-Phasendetektors.

4.3.3 270° Phasenschieber

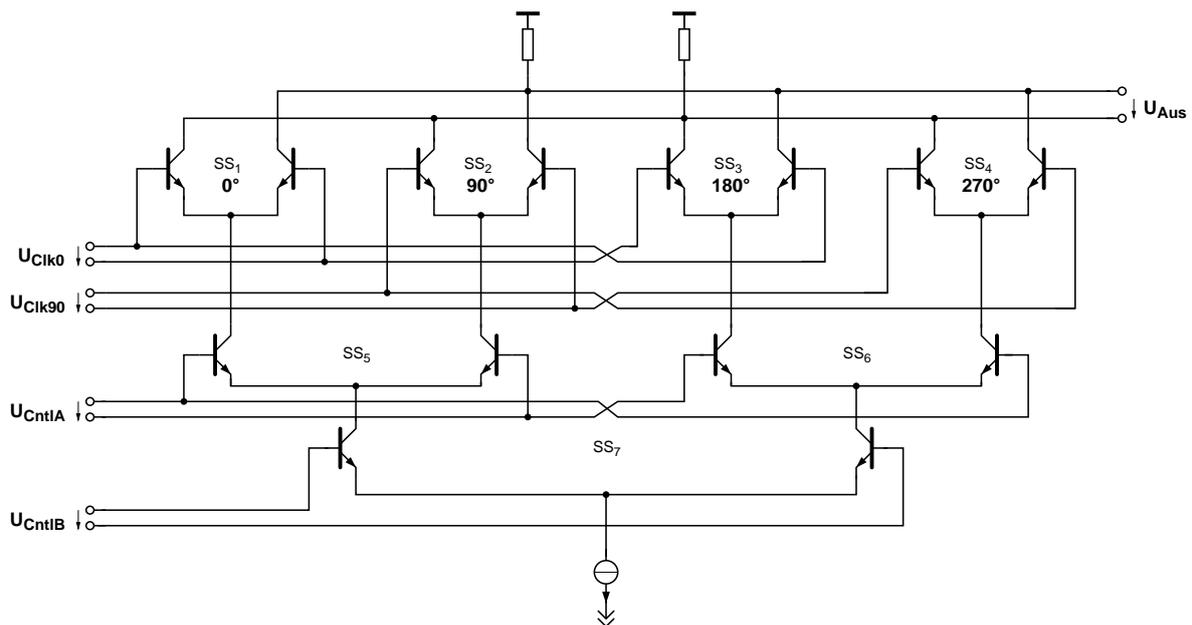


Abb. 4.20: Schaltbild des in der DLL verwendeten 0°-270° Phasenschiebers.

Die DLL arbeitet intern mit einem 5 GHz-Takt. Somit entspricht eine Phasenverschiebung von 180° einem Bit. Um nicht ständig an die Begrenzung zu geraten, wurden jedoch 0°-270° Phasenschieber verwendet. Der Schaltplan dieser Phasenschieber ist in Abb. 4.20 dargestellt. Die oberste Ebene besteht aus vier Stromschaltern, die mit einem Takt von 0°, 90°, 180° und 270° angesteuert werden. Durch Umverteilung des Stroms vom ersten (SS_1) zum zweiten (SS_2) Stromschalter (mit Hilfe von SS_5 , während SS_6 und somit SS_3 bzw. SS_4 stromlos sind) kann die Phase stufenlos zwischen 0° und 90° eingestellt werden. Anschließend wird der Strom mit SS_7 vom zweiten (SS_2) zum dritten (SS_3) Stromschalter übergeblendet, wodurch Phasen von 90° bis 180° möglich sind. Die Umverteilung zwischen dem dritten (SS_3) und vierten (SS_4) Stromschalter durch SS_6 ergibt dann noch den Phasenbereich von 180° bis 270°.

Damit diese Schaltung wie beschrieben funktioniert, müssen die Steuerspannungen U_{CntIA} und U_{CntIB} aus der Schleifenfilterspannung U_{SF} erzeugt werden. Hierzu dient die in Abb. 4.21 gezeigte Schaltung, welche die in Abb. 4.22 dargestellten Ausgangsspannungen in Abhängigkeit von U_{SF} erzeugt. Als Ergebnis erhält man den in Abb. 4.23 dargestellten Verlauf von Phase und Ausgangsamplitude über der Schleifenfilterspannung. Der Verlauf der Phase über der Schleifenfilterspannung wurde zum Vergleich auch gemessen, die entsprechenden Diagramme finden sich in Kap. 4.5.3.

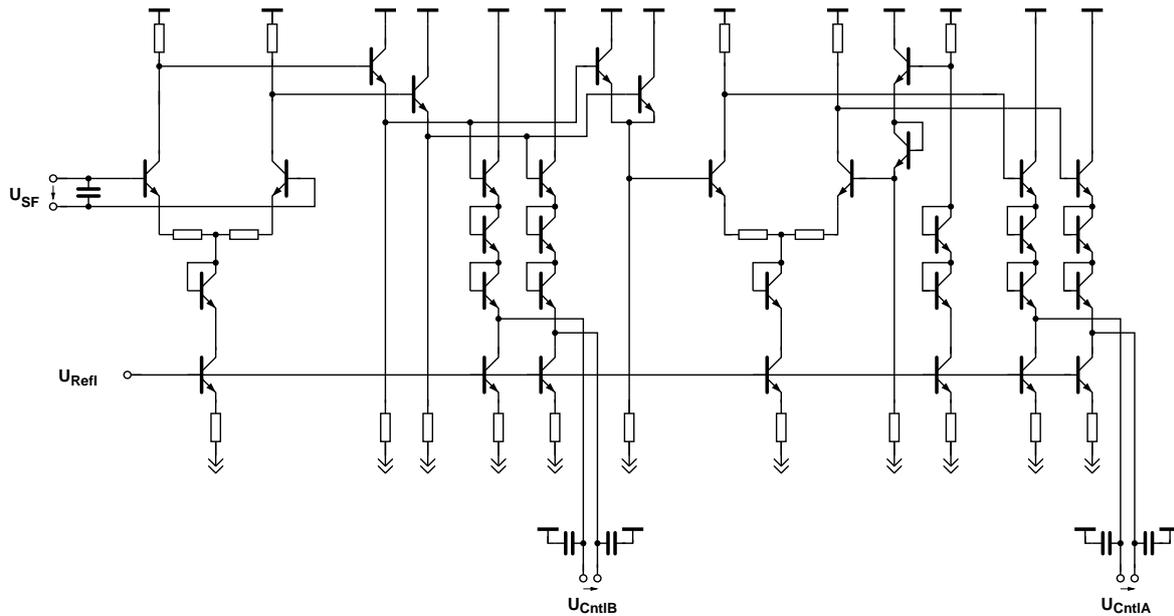


Abb. 4.21: Schaltung zur Erzeugung der für den 270° -Phasenschieber nötigen Steuersignale U_{Cnt1A} und U_{Cnt1B} .

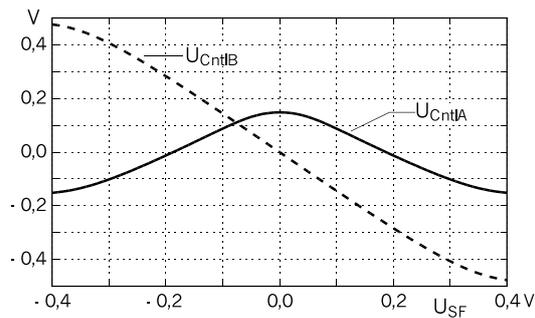


Abb. 4.22: Steuerspannungen U_{Cnt1A} und U_{Cnt1B} über Schleifenfilterspannung U_{SF} (Simulation).

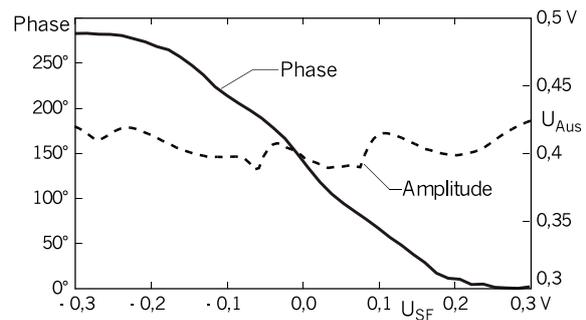
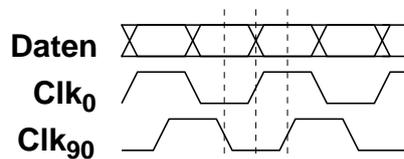


Abb. 4.23: Verlauf der Phase und Amplitude über Schleifenfilterspannung U_{SF} (Simulation).

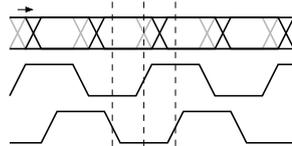
4.3.4 Erweiterung des Phasenbereichs

In der bislang vorgestellten Konstellation weist die DLL ein Problem auf. Wenn sich die Phase zwischen Takt und Daten langsam verschiebt, gelangen Phasenschieber und auch Schleifenfilter irgendwann an ihre Grenzen. Dies ist z.B. der Fall, wenn der Phasenschieber bereits bei 265° steht und sich die Datenphase um weitere 10° verschiebt. Der Phasenschieber kann dann nur noch bis 270° folgen. An dieser Stelle setzt die Aussteuerkontrolle an, welche die Ausgangsspannung des Schleifenfilters überwacht. Wie im vorherigen Kapitel gezeigt, beträgt der Aussteuerbereich des Phasenschiebers ± 300 mV, der Schleifenfilter

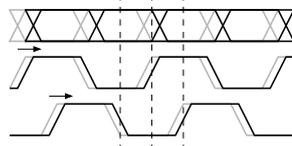
hingegen hat einen maximalen Ausgangsspannungshub von ± 500 mV, so dass an der Aussteuerungsgrenze des Phasenschiebers die Spannung des Schleifenfilters weiter erhöht oder erniedrigt werden kann. In der Aussteuerungsüberwachung wird mit einem Komparator überwacht, ob die Schleifenfilterspannung größer als $+300$ mV bzw. kleiner als -300 mV ist. In diesem Fall wird ein Start/Stop-Oszillator in Betrieb gesetzt, der mit geringer Frequenz (ca. 100 kHz, abhängig vom externen Kondensator C_{Osz}) schwingt. Der Oszillator wiederum steuert einen Taktschalter (vgl. Abb. 4.15) an, welcher Clk_0 mit Clk_{90} vertauscht und Clk_0 zusätzlich invertiert. Dies entspricht einem Phasensprung um 90° , d.h. um ein halbes Bit. Somit wird die Phase wieder zu kleineren Werten hin geregelt und die DLL rastet ein. Der gesamte Vorgang ist noch einmal anschaulich in den Abb. 4.24a bis 4.24e dargestellt.

**Abb. 4.24a:**

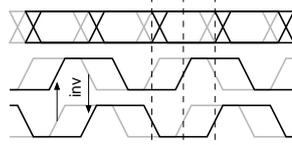
Startbedingung: Der Quadraturtakt ist synchron zu den Daten, Phase ist 265° .

**Abb. 4.24b:**

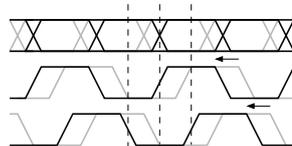
Datenphase verschiebt sich um 10° .

**Abb. 4.24c:**

Takt versucht zu folgen, kann aber nur bis 270° verstellt werden.

**Abb. 4.24d:**

Aussteuerkontrolle erkennt Begrenzung und vertauscht Clk_0 und Clk_{90} , wobei Clk_0 zusätzlich invertiert wird.

**Abb. 4.24e:**

Der Phasenschieber wird zu kleineren Werten hin verstellt und die DLL rastet wieder ein.

Der Einsatz eines Start/Stop-Oszillators ist an dieser Stelle notwendig, da durch ein einfaches Umschalten, z.B. mit einem Toggle-Flip-Flop, nicht unter allen Bedingungen ein Einrasten der DLL gewährleistet ist. So ist es durchaus denkbar, dass nach dem ersten Umschalten die Datenphase nahezu gleichzeitig einen ähnlichen Sprung um ca. 90° macht, so dass der Phasenschieber wieder nicht folgen kann. Da die Schleifenfilterspannung dabei aber nie in den nominel-

len Bereich, d.h. zwischen -300 mV und $+300\text{ mV}$, gelangt ist, wird kein neuer Schaltvorgang ausgelöst.

Hier hilft der Oszillator, der solange schaltet, bis die DLL tatsächlich wieder einrastet. Dabei wurde die Schaltfrequenz so gewählt, dass die DLL genügend Zeit für den Einrastvorgang hat.

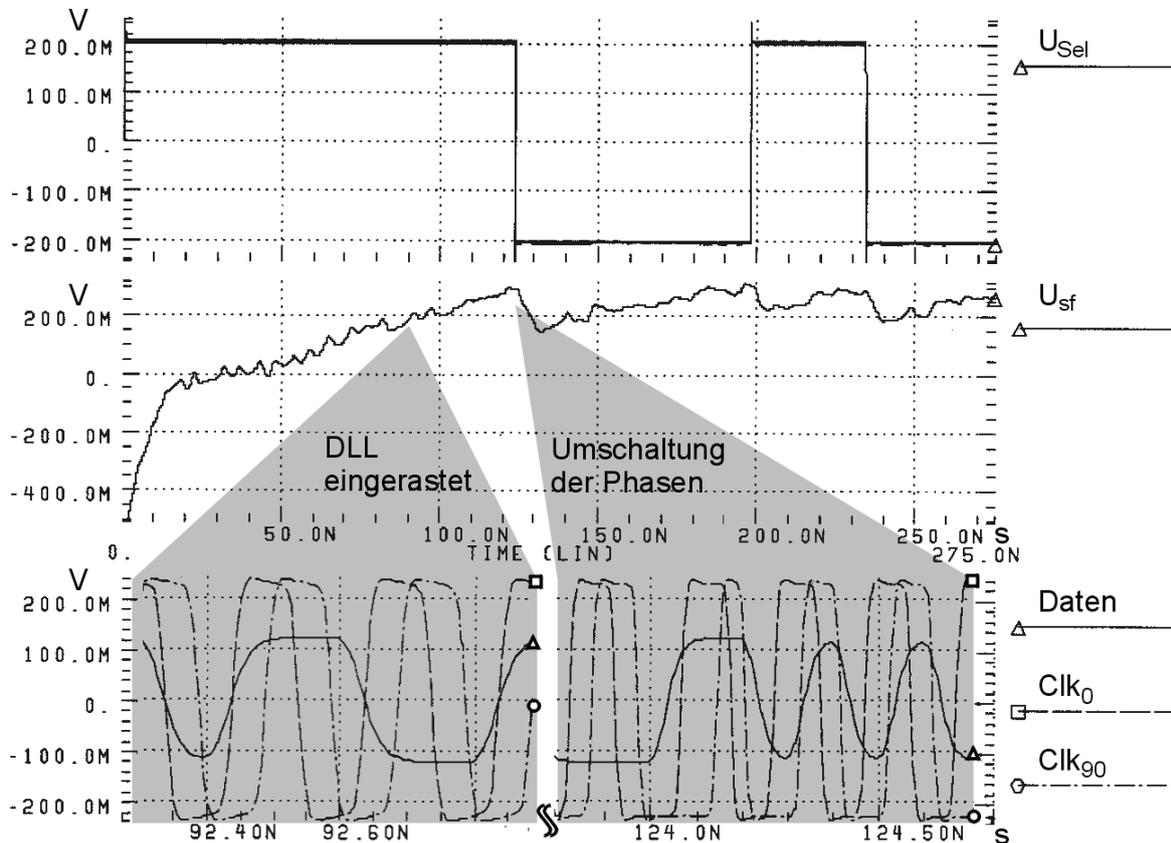


Abb. 4.25: Schleifenfilterspannung U_{sf} und Ausgangsspannung der Aussteuerungsüberwachung für eine sich stetig ändernde Phasenlage zwischen Takt und Daten.

Abb. 4.25 zeigt anhand eines Simulationsergebnisses die ordnungsgemäße Funktion der Aussteuerüberwachung. Dazu wurde ein 10 Gbit/s Datensignal und ein $10,01\text{ GHz}$ Takt verwendet, d.h. die Phase des Takts verschiebt sich kontinuierlich gegenüber dem Datensignal. In der Abbildung sind die Schaltspannung zur Umschaltung der Takte (oben), die Schleifenfilterspannung (mitte) und die Lage der Takte Clk_0 und Clk_{90} zum Datensignal dargestellt. Dabei ist einmal der eingerastete Zustand dargestellt und zum anderen das Umschalten der Takte. Da die Taktphase weiter davonläuft, kommt es nach einiger Zeit zu weiteren Schaltvorgängen. Um die Simulationen in einem angemessenen

Zeitraum durchführen zu können⁵ wurden sehr kurze Zeitkonstanten für das Schleifenfilter und den Start/Stop-Oszillator verwendet. Dies erklärt auch die unruhige Schleifenfilterspannung. In der endgültigen Version dauert ein Einrastvorgang deutlich länger, und der Oszillator schwingt mit einer Frequenz von ca. 100 kHz. Die hier gezeigte Simulation diente nur der Funktionsüberprüfung der Aussteuerkontrolle.

⁵Die hier dargestellte Simulation benötigte auf der verwendeten Sun Ultra Sparc 2 immerhin noch ca. 10 Stunden Rechenzeit.

4.4 Layout und Chip-Varianten

Nachdem die wesentlichen Schaltungsblöcke erläutert wurden, folgen nun einige Anmerkungen zum Layout. Wie bereit erwähnt, wurden von dem Augenmuster-Analysator zwei Varianten realisiert, und zwar eine mit und eine ohne DLL, um den Analysator getrennt von der DLL testen zu können. In beiden Versionen ist das Layout des Analysators identisch, allerdings entfällt bei der Version ohne DLL der untere Teil des Chips, d.h. statt der DLL sind bei dieser Variante Takteingänge für Clk_0 und Clk_{90} vorgesehen.

Abb. 4.26 zeigt ein Chip-Foto des Analysators mit DLL (Chip-Bezeichnung EDA_1A01). In dieser Abbildung sind auch die wesentlichen Funktionsblöcke, sowie die Anschlussbelegung dargestellt.

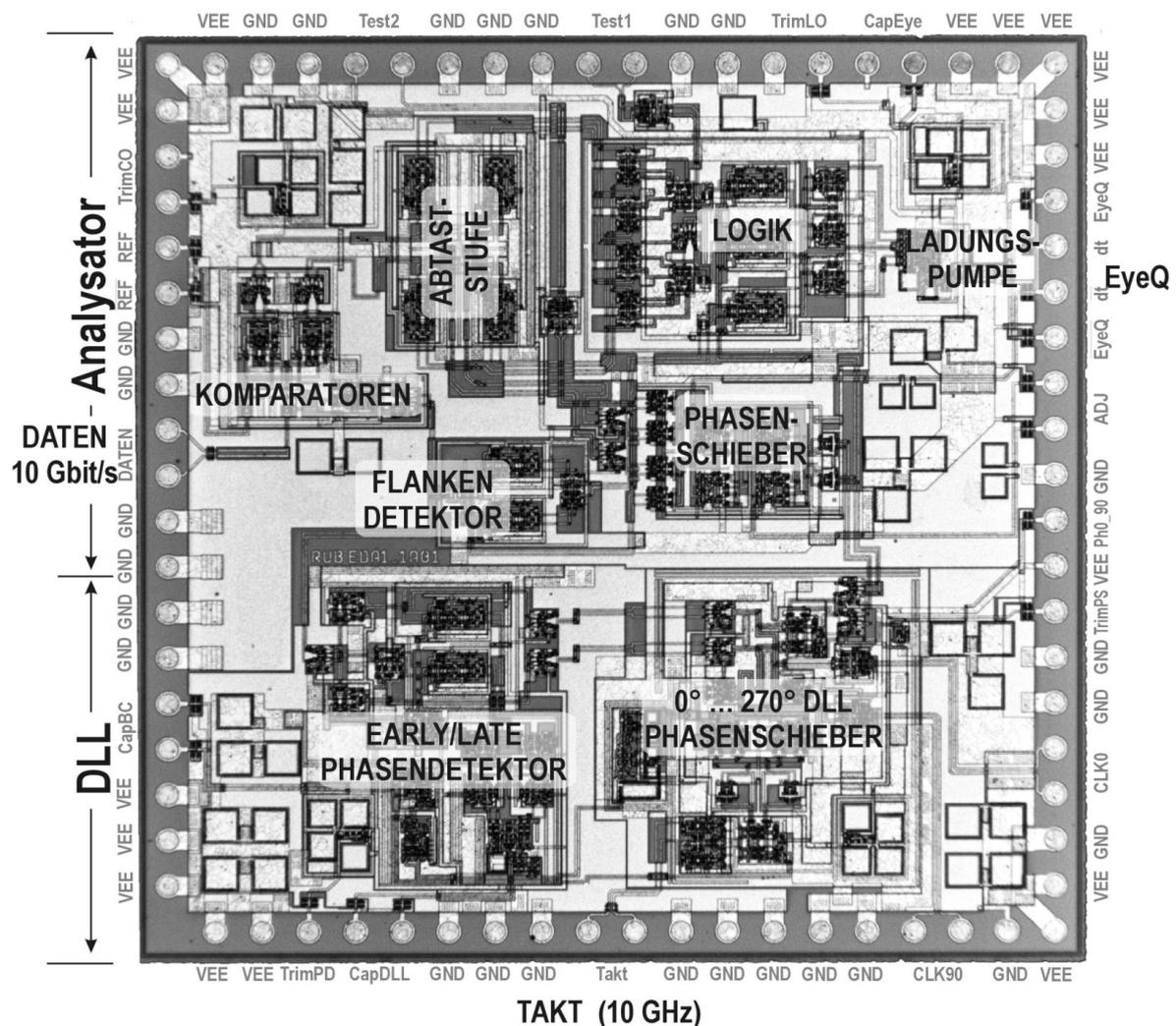


Abb. 4.26: Chipfoto des Analysator-Chips mit DLL.

Während des Layouts stand vor allem die optimale Anordnung der Komponenten im Vordergrund. Hierbei mussten mehrere Randbedingungen berücksichtigt werden:

- Es standen nur **zwei Metallisierungsebenen** zur Verfügung. Hierdurch erschwerte sich einerseits die Verteilung der Versorgungsspannung, andererseits mussten einige Signalleitungen direkt über dem Substrat geführt werden.
- Teilweise sind auf dem Chip **lange Leitungen** > 1 mm für Takt- und Datensignale nötig. Um ein Übersprechen untereinander, sowie die Einkopplung von Störungen in das Substrat zu verringern, wurden diese Leitungen möglichst dicht beieinander geführt.
- Bei der **Verteilung des Quadraturtaktes** und der **Abtasttakte** Clk_R und Clk_L musste darauf geachtet werden, dass alle Leitungen gleich lang sind, damit keine Phasenverschiebungen zwischen den Signalen auftreten. Besonders kritisch war hierbei die Verdrahtung der Abtaststufe, in der sowohl Daten- als auch Taktleitungen mit gleicher Länge auf die vier Abtast-Flip-Flops verteilt werden mussten.
- Bereits während des Layouts muss eine sinnvolle **Anordnung der Bond-Anschlüsse** gewählt werden, um die weitere Aufbautechnik möglichst einfach zu halten. Hierbei wurden die Hochfrequenz-Signale über GSSG⁶-Anordnungen zugeführt, wodurch das Übersprechen minimiert wird. Außerdem verringert sich die Bondinduktivität der Zuleitung durch die Koppelinduktivität zwischen den Bonddrähten mit Gegentaktsignalen.
- Alle Schaltungsblöcke wurden in **Ringe aus Substratkontakten** eingefasst, um Störungen durch eine Substratkopplung zu minimieren. Ein getrennter Anschluss für das Substrat wäre ebenfalls wünschenswert gewesen, konnte allerdings mit den zur Verfügung stehenden zwei Metallisierungsebenen nicht realisiert werden.
- Insgesamt sind vier **Referenzspannungsquellen für die Stromspiegel** auf dem Chip vorgesehen, die jeweils in den Ecken angeordnet sind, und entsprechend die nahegelegenen Schaltungsblöcke versorgen. Auch wenn die Referenzspannungen von außen nachträglich justiert werden können, war dies nicht nötig, da eine gute Übereinstimmung mit den simulierten Werten gemessen wurde.

⁶Masse-Signal-Signal-Masse (ground-signal-signal-ground).

Die Schaltungen wurden in einer SiGe-Technologie (s. Anh. A.2) mit einer maximalen Transitfrequenz von 50 GHz hergestellt. Die wesentlichen Daten der beiden Chip-Varianten sind zur Übersicht nochmal in Tab. 4.2 zusammengestellt.

Tab. 4.2: Daten des Analysators ohne und mit DLL.

	Analysator ohne DLL	Analysator mit DLL
Technologie	TEMIC/Atmel 50 GHz f_T SiGe	
Versorgungsspannung	-5 V (-4,8 V ... -5,2 V)	
Leistungsaufnahme	3,2 W	4,95 W
Transistoren	730	1268
Chipfläche	$2 \times 3 \text{ mm}^2$	$3 \times 3 \text{ mm}^2$
Messdauer	$\approx 1 \text{ ms}$	
Ausgangshub	$> 350 \text{ mV}$	
Bitrate	2 -12,5 Gbit/s	2 -10,5 Gbit/s
Anzahl Bondpads	61	75
Abschlusswiderstände	HF-Eingang 50Ω on-Chip HF-Ausgang 100Ω on-Chip DC Ein-/Ausgang ESD-Schutz gegen <i>VEE</i> und <i>GND</i>	

4.5 Messergebnisse

Um möglichst realistische Messergebnisse zu erhalten, wurden alle Messungen mit in Testfassungen montierten Chips durchgeführt. Der Aufbau dieser Testfassungen ist in Anhang A.3 näher beschrieben.

4.5.1 Verwendeter Messaufbau

Um den Augenmuster-Analysator in seiner Funktion zu überprüfen, wurde die in Abb. 4.27 skizzierte Messanordnung verwendet. Insbesondere muss ein geeignetes 10 Gbit/s Datensignal mit einstellbarer Signalgüte, bzw. variabler Augenöffnung, erzeugt werden. Dazu werden mit einem Pseudo-Zufallsfolgengenerator (PRBS) [65] zunächst zwei 5 Gbit/s-Sequenzen generiert und anschließend mit einem 2:1-Multiplexer zu einem 10 Gbit/s Signal zusammengefasst. Um die einstellbare Augenöffnung zu realisieren, wird

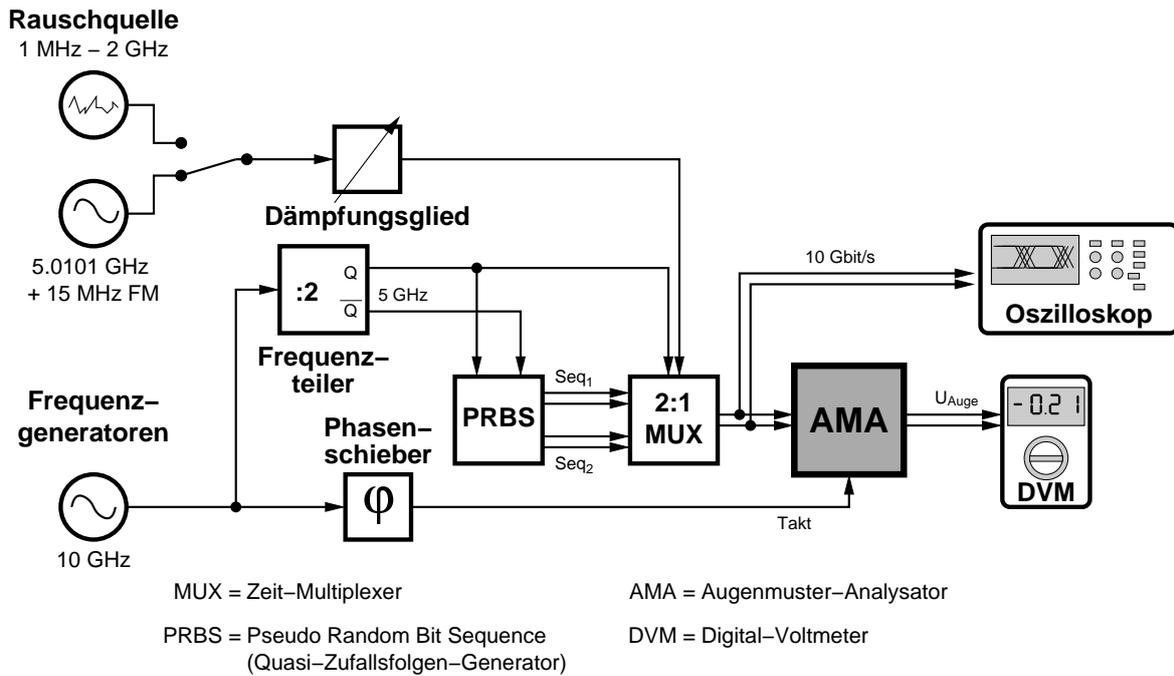


Abb. 4.27: Messanordnung (Differenzielle Signale sind durch zwei eng beieinander liegende Leitungen gekennzeichnet).

der nichtinvertierende Takteingang des Multiplexers mit dem 5 GHz Takt versorgt, während der invertierende Eingang mit einer davon abweichenden Frequenz angesteuert wird. Hierbei wird sowohl ein Frequenzoffset, als auch eine zusätzliche Modulation verwendet, um ein möglichst zufälliges Signal zu erhalten. Durch ein Dämpfungsglied kann die Amplitude dieses Taktes eingestellt werden, wodurch die Breite der Augenöffnung festgelegt wird.

Der Augenmuster-Analysator wird mit diesem künstlich verschlechterten Auge angesteuert. Gleichzeitig wird die Signalqualität auf einem Oszilloskop im Augendiagramm beobachtet. Um die Funktion auch bei verschiedenen Bitraten miteinander vergleichen zu können, wird in den folgenden Diagrammen die normierte Augenöffnung

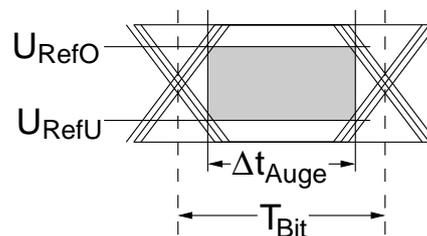


Abb. 4.28: Normierte Augenöffnung.

$$t_{norm} = \frac{\Delta t_{Auge}}{T_{Bit}} \cdot 100\% \quad (4.15)$$

verwendet. Diese wird bestimmt, indem die mit dem Oszilloskop gemessene Augenöffnung Δt_{Auge} durch die Bitdauer T_{Bit} dividiert wird.

4.5.2 Messergebnisse für den Analysator-Kern ohne Phasenregelschleife

In Abb. 4.29 sind die Messergebnisse für den Analysator ohne Phasenregelschleife (DLL) dargestellt. Zur Verdeutlichung sind in der rechten Hälfte vier Augendiagramme, wie sie mit dem Oszilloskop gemessen wurden, dargestellt, und die entsprechenden Betriebspunkte im Diagramm gekennzeichnet. Hierbei ist die Abhängigkeit der Ausgangsspannung U_{Auge} von der Augenöffnung deutlich zu erkennen. Für 10 Gbit/s ergibt sich eine gute Übereinstimmung zwischen gemessener Kurve und simuliertem Verlauf, wobei kleine Abweichungen durch die während der Messung bei weitem nicht so ideale Einstellung der Augenöffnung zustande kommen. In der Simulation konnten die meisten Parameter des Eingangssignals unabhängig voneinander verstellt werden (vgl. Anhang A.5), während der Messung hingegen hängt die tatsächliche Augenöffnung im Wesentlichen von den Eigenschaften des Multiplexers ab. So ergibt sich häufig auch eine Veränderung in der Flankensteilheit, wenn der Taktjitter (wie bei diesen Messungen) verändert wird.

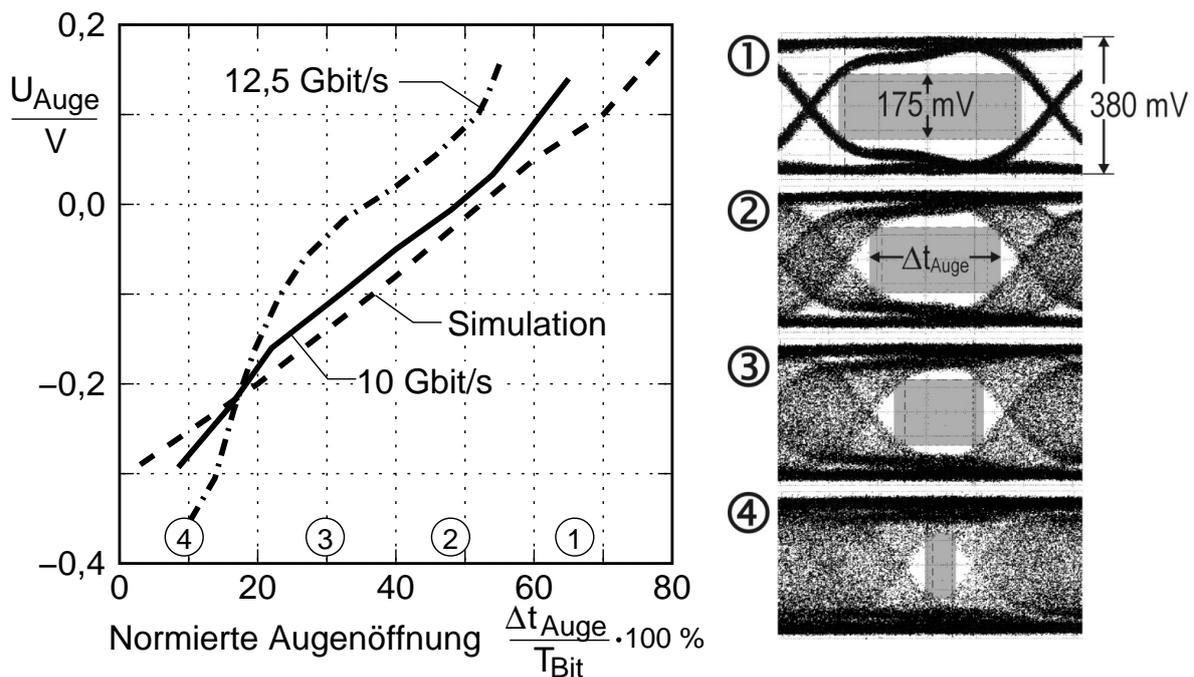


Abb. 4.29: Ausgangsspannung U_{Auge} des Analysators ohne DLL über normierter Augenöffnung.

Der Analysator ohne DLL arbeitet bis maximal 12,5 Gbit/s, d.h. bis weit über die geforderten 10 Gbit/s hinaus. Es wäre somit sogar ein Einsatz in Systemen mit starker Fehlerkorrektur (SFEC) denkbar, die bei 12,249 Gbit/s

arbeiten. Der erreichte Ausgangshub beträgt ca. 370 mV bei Veränderung der Augenöffnung von 70 % auf 30 %, d.h. der Analysator reagiert bereits auf kleine Änderungen der Datensignalgüte. Die hierbei benötigte Messdauer liegt unter einer Millisekunde, so dass auch schnelle Schwankungen, verursacht durch Fluktuationen der Polarisationsmodendispersion aufgrund von Schwingungen o.ä., gut erkannt werden.

4.5.3 Messergebnisse für den Analysator mit Phasenregelschleife

Der Analysator mit DLL zeigt einen Verlauf der Ausgangsspannung, welcher weitestgehend dem des Analysators ohne DLL entspricht. Die Ausgangsspannung für verschiedene Bitraten ist in Abb. 4.30 dargestellt. Die maximal erreichte Bitrate dieser Schaltung beträgt 10,5 Gbit/s. Auch diese Schaltung benötigt weniger als eine Millisekunde, um sowohl die DLL einrasten zu lassen, als auch die momentane Augenöffnung auszumessen.

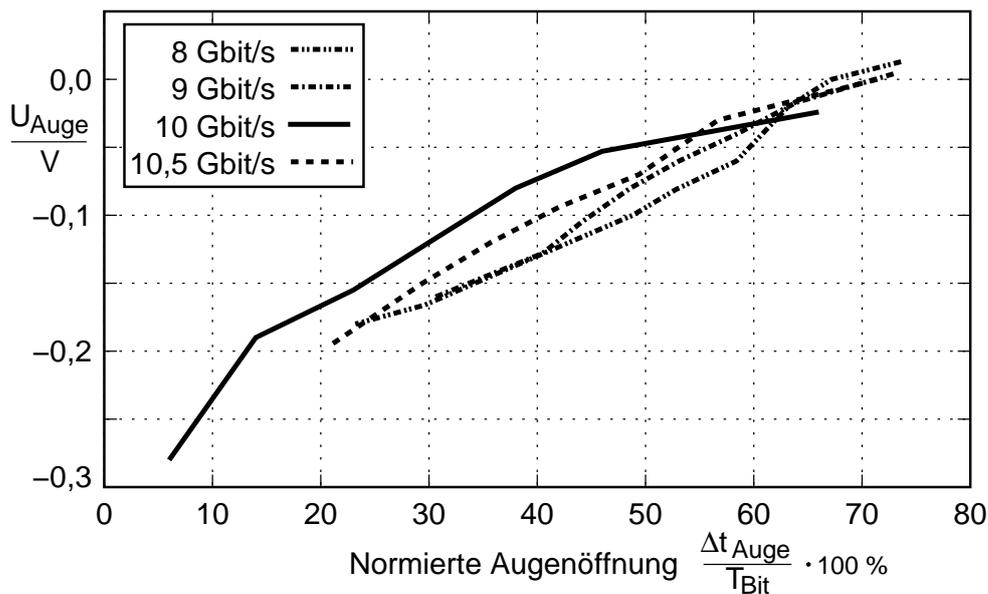


Abb. 4.30: Ausgangsspannung U_{Auge} des Analysators mit DLL über normierter Augenöffnung für verschiedene Bitraten (gemessen mit Frequenzgenerator).

In einer weiteren Messreihe wurde der zweite Frequenzgenerator, welcher zum Verrauschen der Augen diente, durch eine Rauschquelle ersetzt (vgl. Abb. 4.27). Diese erzeugt in einem Bereich von 1 MHz bis 2 GHz weißes Rauschen [66]. Durch das Dämpfungsglied kann wiederum die Qualität des Auges eingestellt werden. Allerdings entsteht dann keine scharfe Grenze, wie

bei der Modulation mit einem Sinussignal, sondern die Nulldurchgänge werden verbreitert, wobei jedoch der Schwerpunkt im nominellen Durchgang bleibt. In Abb. 4.31 ist die Ausgangsspannung U_{Auge} des Analysators über dem prozentualen RMS-Jitter des Datensignals bei 5 Gbit/s aufgetragen. Auch hier arbeitet der Analysator wie erwartet.

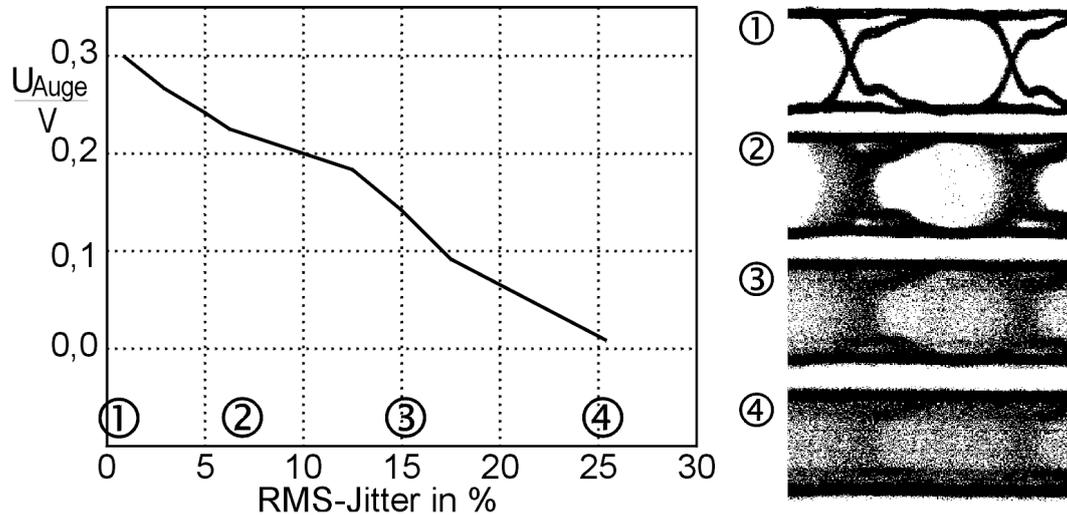


Abb. 4.31: Ausgangsspannung U_{Auge} des Analysators mit DLL für mit Rauschquelle verzerrte Augen über RMS-Jitter bei 5 Gbit/s.

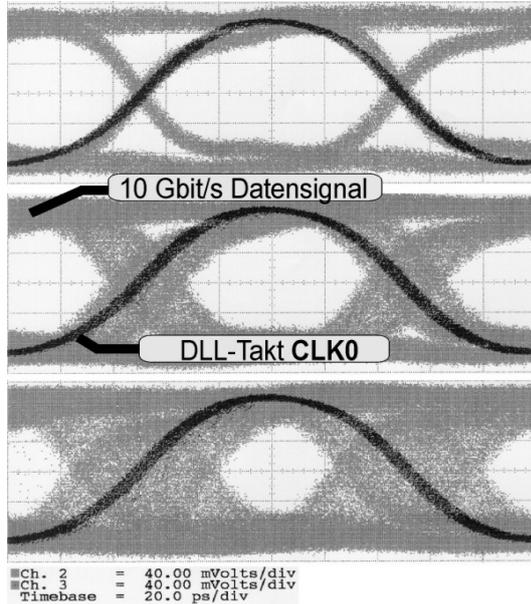


Abb. 4.32: DLL-Takt Clk_0 bei verschiedenen Augenöffnungen.

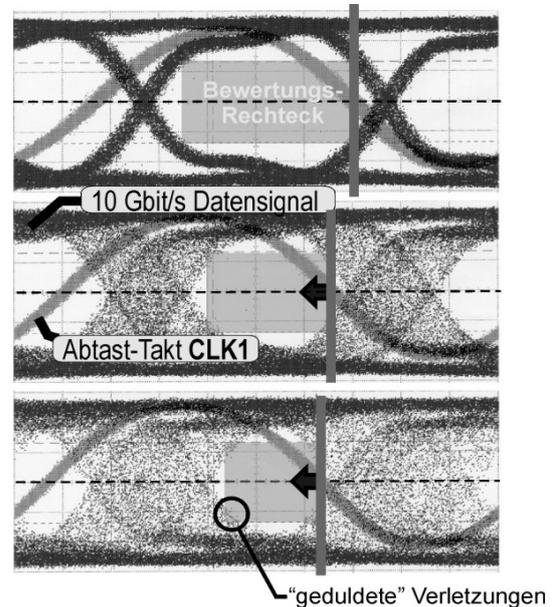


Abb. 4.33: Abtasttakt Clk_R bei verschiedenen Augenöffnungen.

Zusätzliche Testausgänge ermöglichen es, die Funktion der DLL zu überprüfen, sowie die Lage des Abtasttaktes zu kontrollieren. In Abb. 4.32 ist der

DLL-Takt Clk_0 für verschieden stark geschlossene Augen bei 10 Gbit/s dargestellt, wobei die DLL unter allen Bedingungen sauber eingerastet bleibt. Auch der Abtasttakt Clk_R verschiebt sich bei kleiner werdender Augenöffnung wie erwartet nach links, und verkleinert so das Bewertungsrechteck (vgl. Abb. 4.33).

Auch bei Verzerrung mit der Rauschquelle rastet die DLL auf ein 5 Gbit/s Datensignal mit einem RMS-Jitter von 12,5 % sauber ein, wobei der gemessene RMS-Jitter am Ausgang Clk_0 dann 0,8 % beträgt.

Abb. 4.34 zeigt die Ausgangsspannungen verschiedener Chips bei 5 Gbit/s⁷. Hierbei fällt auf, dass die drei getesteten Chips zwar einen ähnlichen Kurvenverlauf haben, die Kurven jedoch aufgrund eines Offsets verschoben sind. Nach eingehenden Analysen stellte sich heraus, dass die Ursache in einer schlechten bzw. partiellen Wärmeableitung liegt, deren Ursachen im Anhang A.3.2 näher erläutert sind.

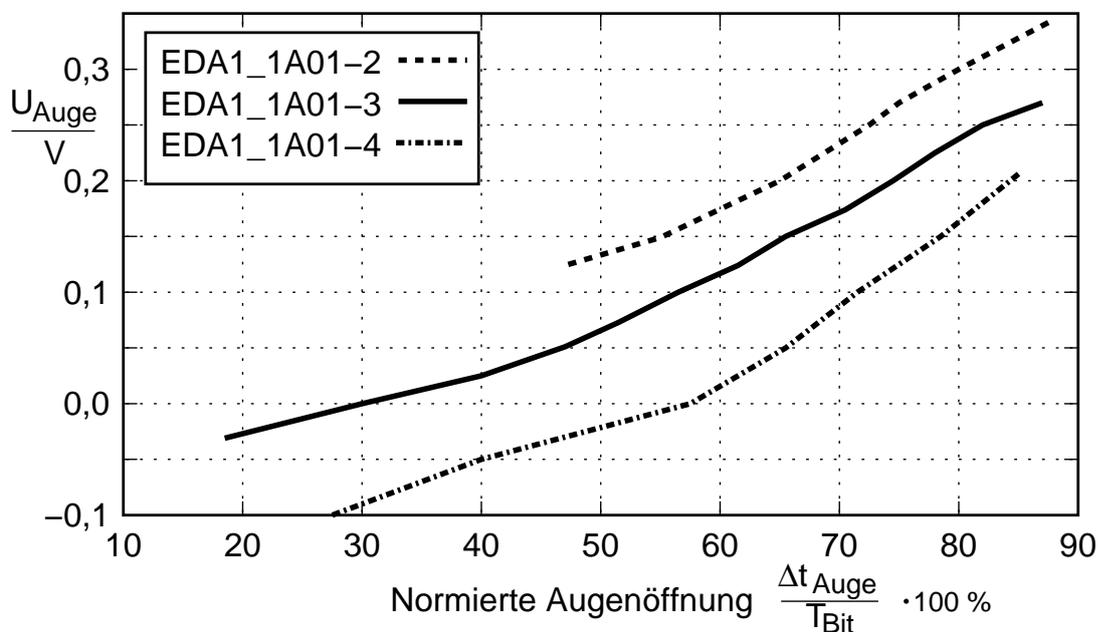


Abb. 4.34: Ausgangsspannung U_{Auge} von verschiedenen Chips des Analysators mit DLL über normierter Augenöffnung bei 5 Gbit/s (gemessen mit dem Frequenzgenerator als Rauschquelle).

Durch diesen schlechten Wärmeübergang kam es nicht nur zu einer allgemein erhöhten Chiptemperatur, sondern es bildete sich über dem Chip ein Temperaturgradient. Dabei erwies sich der Phasenschieber der DLL als besonders empfindlich. Während der in Abb. 4.35 dargestellte gemessene Verlauf

⁷Die Messung erfolgte bei 5 Gbit/s, da nicht alle aufgebauten Schaltungen die volle Geschwindigkeit erreichten.

der Phase über der Steuerspannung dem simulierten Verlauf entspricht⁸, so zeigt sich in Abb. 4.36 ein deutlicher Fehler im Tastverhältnis, welches je nach Chip und Phase zwischen 1,1 und 0,87 schwanken kann. Hier wurde ein Tastverhältnis von konstant 1 erwartet und simuliert. Da dieses unmittelbar auch den Abtastzeitpunkt in der Abtaststufe beeinflusst, ergeben sich zwangsläufig Abweichungen in der Ausgangsspannungen U_{Auge} , welche sich im Wesentlichen durch eine Verschiebung der Kennlinie bemerkbar machen.

Zusätzlich beeinflusst dieser Tastverhältnisfehler auch die maximal erreichbare Geschwindigkeit, da das Taktsignal auf dem Weg von der DLL zur Abtaststufe mehrfach zwischenverstärkt wird. Da die Zwischenverstärker jedoch bei hohen Geschwindigkeiten teilweise integrierenden Charakter haben, führt ein unsymmetrisches Signal zu einem Gleichspannungsfehler, welcher sich durch mehrere Stufen fortpflanzt. Für den zweiten Augenmuster-Analysator-Entwurf wurde daher eine Schaltung verwendet, die diese Problematik nicht aufweist (s. Kap. 5.4.4).

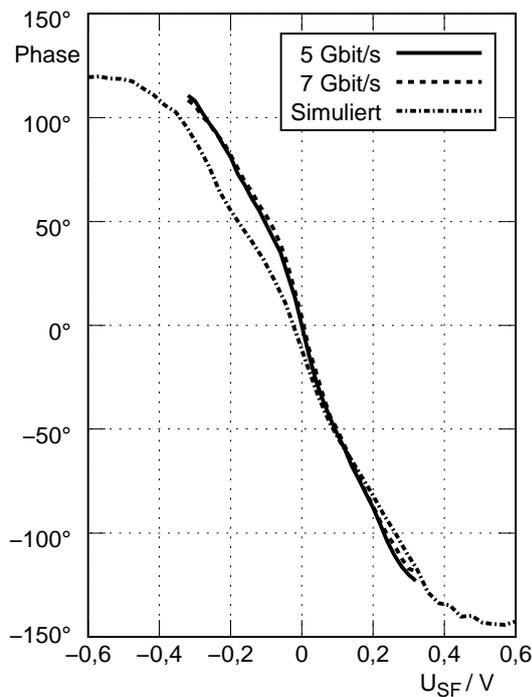


Abb. 4.35: Phase des 270°-Phasenschiebers über Steuerspannung U_{SF} .

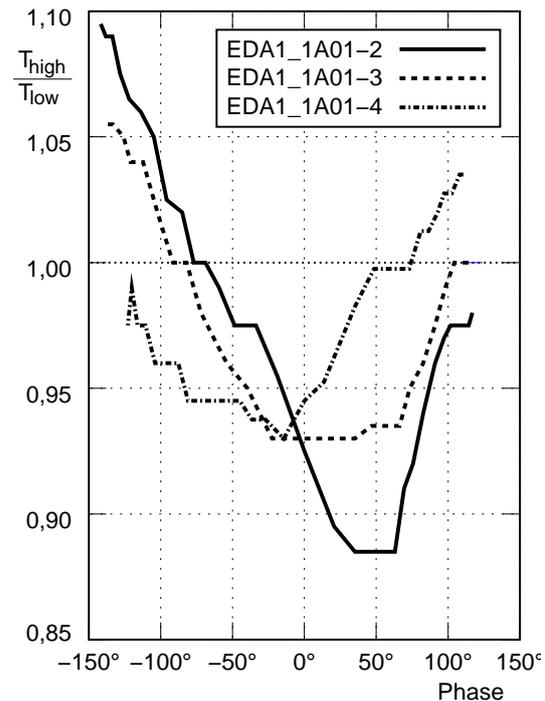


Abb. 4.36: Tastverhältnis des Clk_0 -Ausgangs über der Phase.

⁸Kleinere Abweichungen sind nicht kritisch, solange die Kurve monoton ist und mehr als 180° überstreicht, da diese Abweichungen durch die DLL ausgegelt werden.

4.5.4 Messergebnisse weiterer Test-ICs

Zusätzlich wurde der differentielle Komparator mit nachgeschaltetem MS-D-FF als Chip realisiert, um dieses Schlüsselement getrennt untersuchen zu können. Dieser erreichte bei der nominellen Bitrate von 10 Gbit/s die in Abb. 4.37 gezeigten Augendiagramme, wobei der Clock-Phase-Margin (CPM) des MS-D-FFs bei über 300° lag. Selbst bei nahezu der doppelten Bitrate (Abb. 4.38) ergaben sich klar geöffnete Augen am Ausgang des MS-D-FFs, so dass davon ausgegangen werden kann, dass Komparator und Abtaststufe eine hinreichend gute Genauigkeit aufweisen.

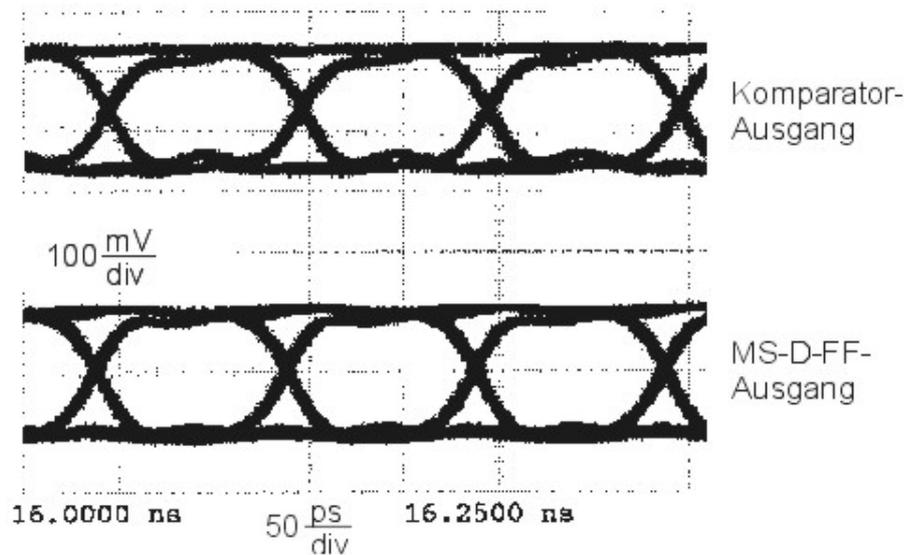


Abb. 4.37: Ausgang des Komparators und des MS-D-FFs bei 10 Gbit/s.



Abb. 4.38: Ausgang des Komparators und des MS-D-FFs bei 19,5 Gbit/s.

4.6 Zusammenfassung zu Kapitel 4

In Kapitel 4 wurde die schaltungstechnische Realisierung des Augenmusteranalysators vorgestellt. Für die Komparatoren wurde ein differentielles Konzept gewählt, welches zwar eine Anpassung der Gleichtaktspannung zwischen Referenz- und Datensignal erfordert, dafür aber den großen Vorteil hat, dass der volle differentielle Spannungshub genutzt wird. Außerdem werden Störsignale sowohl auf der Referenz, als auch auf dem Datensignal durch den differentiellen Aufbau wirkungsvoll unterdrückt. Auf einem Testchip wurde ein Komparator zusammen mit einem Abtast-Flip-Flop erfolgreich bis zu einer Datenrate von 19,5 Gbit/s getestet, so dass diese Komponenten den Anforderungen an den Augenmuster-Analysator mehr als genügen.

Die unterschiedliche Gewichtung der Zustände „Bewertungsrechteck nicht verletzt / verletzt / massiv verletzt“ wird durch eine Ladungspumpe mit verschieden großen Lade-/Entladeströmen und einer mehrstufigen Ladeschaltung realisiert. Um eine größere Zeitkonstante zu realisieren, und um diese flexibel zu gestalten, wurde ein externer Kondensator verwendet.

Durch die auf dem Chip integrierte DLL wird der Abtasttakt immer optimal ausgerichtet. Hierzu wird das für den Analysator benötigte Quadratursignal mit Hilfe eines Early/Late-Phasendetektors und 270° Phasenschiebern zum Datensignal ausgerichtet, wobei eine zusätzliche Aussteuerungsüberwachung den für eine DLL erforderlichen, unendlichen Phasenraum zur Verfügung stellt. Durch die Verwendung des Quadraturtaktes, welcher nur die halbe Systemfrequenz, d.h. 5 GHz hat, werden die Geschwindigkeitsanforderungen deutlich entschärft.

Das ordnungsgemäße Einrasten der DLL auch bei stark geschlossenen Augen wurde in Messungen nachgewiesen, wobei der gemessene RMS-Jitter des Taktsignals (an einem Testausgang) $< 0,8\%$ beträgt. Der Schleifenfilter der DLL wurde ebenfalls mit einem externen Kondensator realisiert, da die Zeitkonstante der DLL an die Zeitkonstante der Augenmuster-Analyse angepasst werden muss.

Der gesamte Augenmuster-Analysator ist auf einer Chip-Fläche von $3 \times 3 \text{ mm}^2$ realisiert und enthält u.a. 1268 Transistoren. Bei einer Betriebsspannung von -5 V verbraucht er eine Leistung von ca. 4,95 W. Davon entfallen ca. 3,2 W auf den Analysator und 1,75 W auf die DLL. Der Leistungsbedarf bietet allerdings noch einigen Spielraum für Einsparungen, da z.B. zahlreiche Testausgänge enthalten sind und vor allem die Funktionalität des Chips im

Vordergrund stand, d.h. auch die Abtaststufe, sowie die Komparatoren lassen sich eventuell noch weiter auf minimale Verlustleistung hin optimieren.

Testaufbauten des Augmuster-Analysators arbeiteten mit Bitraten von 2 -10,5 Gbit/s, wobei eine Chip-Variante, die nur den Analysatorkern enthält, sogar bis zu Bitraten von 12,5 Gbit/s funktionierte. Die gemessene Ausgangsspannung U_{Auge} ist dabei proportional zur horizontalen Augenöffnung, wobei die Augen sowohl durch eine Sinusstörung, als auch mit einer Rauschquelle verrauscht wurden, um ein möglichst breites Spektrum von Störungen nachzubilden. Der Ausgangsspannungshub beträgt dabei mehr als 350 mV bei einer Änderung der Augenöffnung von 80 % auf 20 %. Dabei reagiert die Schaltung auf eine derartige Änderung in unter einer Millisekunde. Somit misst der Augmuster-Analysator die Augenqualität hinreichend schnell für eine elektronische PMD-Kompensation und ist dabei eine Ein-Chip-Lösung, bei der die Bestimmung der Signalqualität ohne zusätzliche Rechnerunterstützung erfolgt. Dies ermöglicht auch in anderen Einsatzgebieten der optischen Datenübertragung, bei denen eine zur Signalqualität proportionale Größe benötigt wird, eine kostengünstige Lösung (z.B. bei Kurzstreckenübertragung über Multimode-Fasern). Demgegenüber benötigen die bislang bekannten Verfahren eine Rechnerunterstützung, wenn die Analyse über das gesamte Auge erfolgen soll. Hierdurch wird wiederum auch die Messgeschwindigkeit deutlich verringert.

Erweiterung des Augenmuster-Analysators

In einem zweiten Durchlauf soll der Augenmuster-Analysator verbessert und um einige Funktionen erweitert werden. Ein Ziel ist hierbei die Anpassung an quaternäre Eingangssignale mit Datenraten von bis zu 20 Gbaud, wodurch im Wesentlichen Änderungen in den Komparatoren erforderlich sind. Weitere Modifikationen betreffen vor allem die DLL, die jetzt mit einem dreiphasigen Takt bei $\frac{1}{3}$ der Eingangstaktrate arbeiten soll. Hierdurch werden alle Kanäle eines Zeitmultiplex-Datensignals gleich häufig abgetastet. Des Weiteren müssen alle Schaltungsteile an die in diesem Entwurf zur Verfügung stehende verbesserte SiGe-Technologie mit einer Transitfrequenz f_T von 70 GHz angepasst werden (s. Anhang A.2).

In diesem Kapitel werden zunächst mehrwertige Signale im Allgemeinen besprochen, darauf folgen die Realisation der Augenbewertung bei quaternären Signalen, sowie die Motivation für eine Abtastung eines jeden dritten Auges. Danach werden die Modifikationen anhand der Blockschaltbilder des erweiterten Augenmusteranalysators (AMA2) und der dazugehörigen Phasenregelschleife (DLL2) erläutert, sowie einige Schaltungen im Detail besprochen. Abschließend werden die erzielten Messergebnisse dargestellt, wobei ein Teil der Chips diesmal auch in Flip-Chip-Technik (s. auch Anhang A.4) aufgebaut wurde.

5.1 Mehrwertige Signale

Bislang wurde davon ausgegangen, dass die Daten als binäre Folge von Nullen und Einsen übertragen werden, d.h. es gibt zwei gültige Zustände des Datensignals. Mehrere Kanäle werden dabei zu einem Datenstrom zusammengefasst, indem die einzelnen Datenströme durch ein Zeitmultiplexverfahren ineinander verschachtelt werden. Hierbei muss das Übertragungssystem typischerweise eine Bandbreite von ca. 70% der Bitrate aufweisen, d.h. für 40 Gbit/s beträgt die benötigte Bandbreite mindestens 28 GHz.

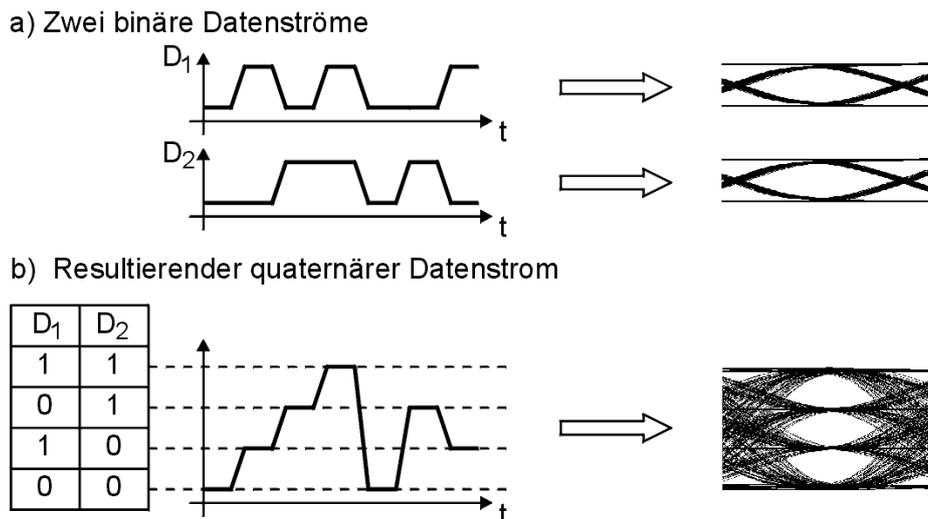


Abb. 5.1: Erzeugung eines quaternären Signals aus zwei binären Datenströmen.

Der Ansatz der mehrwertigen Signale liegt darin, dass die Bits durch Einführung von mehr als zwei gültigen Zuständen auch parallel übertragen werden. Hier sollen nur quaternäre Signale, d.h. Signale mit vier gültigen Zuständen, bzw. zwei Bit pro Zeitschlitz, betrachtet werden. Die Kodierung und das daraus entstehende Augendiagramm mit drei Teilaugen zeigt Abb. 5.1.

Diese quaternären Signale haben folgende Vorteile:

- Die erforderliche **Bandbreite** wird nahezu halbiert¹.
- Die **chromatische Dispersion** hat aufgrund der niedrigeren Bandbreite einen geringeren Einfluss, so dass längere Strecken ohne Regeneration überbrückt werden können.
- Die **Taktfrequenz** des Systems kann bei gleichem Datenvolumen halbiert werden, d.h. 20 GHz für ein 20 Gbaud-System gegenüber 40 GHz bei

¹Da sich gleichzeitig die erforderliche maximale Änderungsgeschwindigkeit (Slew-Rate) erhöht, wird eine Halbierung nicht ganz erreicht.

40 Gbit/s². Hierdurch verringert sich auch die **dynamische Verlustleistung** der Schaltung.

- Zur **Zwischenverstärkung** können weiterhin erbium-dotierte Faserverstärker verwendet werden.

Allerdings ergeben sich auch einige Nachteile:

- Der **Signalhub** muss vergrößert werden, damit ein ausreichender Störabstand in den drei Teilaugen (s. Abb. 5.1) vorhanden ist.
- Der größere Signalhub führt zu einem teilweise **erhöhten Leistungsbedarf** in den Verstärkerstufen.
- Für quaternäre Signale werden **lineare Modulatoren** und **lineare Empfangsverstärker** benötigt.

Jedoch zeigt sich gerade durch Einführung des Wellenlängenmultiplex-Verfahrens, dass auch mit der Bandbreite der Signale in optischen Systemen sparsam umgegangen werden muss. Dies ist ein wesentlicher Vorteil der quaternären Übertragungstechnik [67]. Auch wurden inzwischen Feldtests mit quaternärer Übertragung bei 40 Gbit/s durchgeführt [68].

5.2 Bewertung der Augenqualität bei quaternären Signalen

5.2.1 Definition des Bewertungsrechtecks

Das Konzept der Augenqualitäts-Bewertung wird für quaternäre Signale nahezu unverändert beibehalten, d.h. auch bei quaternären Signalen wird die Auswertung mit einem einzigen Bewertungsrechteck vorgenommen, da eine Implementierung von drei Rechtecken (d.h. für jedes Teilauge ein Rechteck) zu aufwändig ist³. Allerdings werden nicht mehr die obere und untere Referenzspannung vorgegeben, sondern es wird zunächst die Lage des Nulldurchgangs des oberen bzw. unteren Teilauges vom mittleren Teilauge mit Hilfe der

²Bei Ausnutzung beider Taktflanken kann die Taktrate halbiert werden. Allerdings ist dann ein exaktes 1:1-Tastverhältnis notwendig. Außerdem wird dann i.A. für die Taktrückgewinnung ein Quadraturtakt benötigt.

³Wie bereits in Kap. 4.2.2 erwähnt, sind die Abtast-Flip-Flops besonders kritisch und verbrauchen entsprechend viel Leistung. Ähnliches gilt für die Komparatoren.

Spannung U_{DefTA} eingestellt. Hierbei wird davon ausgegangen, dass der Abstand zum oberen gleich dem zum unteren Teilaug ist, da es sich um differentielle Signale handelt. Durch eine weitere Spannung U_{DefBox} wird die Höhe des Bewertungsrechtecks festgelegt. Die Einstellung der Breite des Rechtecks sowie die Bewertungskriterien bleiben dieselben wie beim vorangegangenen Entwurf (Kap. 3.3).

Die Auswahl, welches Teilaug ausgewertet wird, erfolgt mit zwei Schaltspannungen U_{SelO} und U_{SelU} . Diese Eingänge sind als „quasi-TTL“-Eingänge ausgelegt, d.h. eine Spannung $< -4,2\text{ V}$ wird als „low“ und eine Spannung $> -3\text{ V}$ als „high“ interpretiert, wobei der dazwischenliegende Spannungsbereich als Hysterese dient und vor unbeabsichtigtem Schalten schützt. So wird ein einfaches Umschalten zwischen den Teilaugen ermöglicht, wobei insbesondere in Verbindung mit einem Mikrocontroller ein aufeinanderfolgendes Abtasten aller drei Teilaugen erfolgen kann.

Ein weiterer Vorteil ist, dass der Augenmuster-Analysator weiterhin kompatibel zu binären Datensignalen bleibt. Dazu wird einfach das mittlere Teilaug eingestellt.

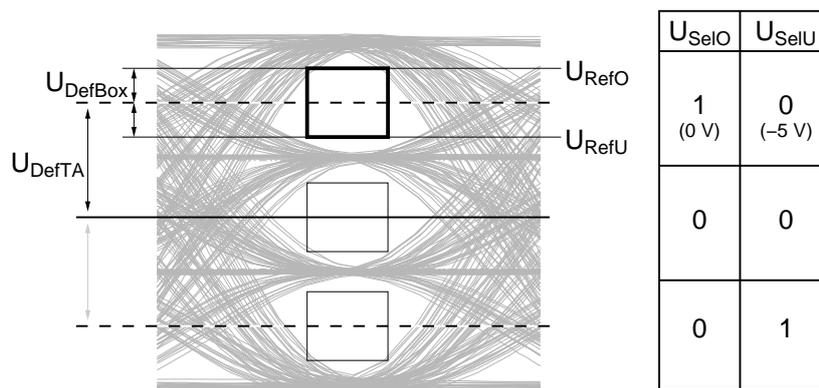


Abb. 5.2: Definition des Bewertungsrechtecks im erweiterten Augenmusteranalysator (AMA2) für quaternäre Signale.

5.2.2 Abtastung jedes dritten Auges

Um die Geschwindigkeitsanforderungen an die Gesamtschaltung etwas zu entschärfen, soll, wie schon im vorangegangenen Entwurf, nicht jedes Auge abgetastet werden. Eine einfache Alternative wäre, nur jedes vierte Auge abzutasten, dann würden Abtaststufe und Logik weiterhin bei 5 GHz arbeiten. Hierdurch würde jedoch die Problematik, dass nur bestimmte Kanäle eines

Zeitmultiplexsignals abgetastet werden (s. auch Kap. 3.3.1), weiter verschärft. Als Lösung bietet sich hier ein ungerades Teilverhältnis an, so dass alle Kanäle eines Zeitmultiplexsignals skizziert, gleichhäufig abgetastet werden. Diesen Sachverhalt verdeutlicht Abb. 5.3, in der das Datensignal und die abgetasteten Kanäle dargestellt sind. In der Abbildung wird von der in der synchronen digitalen Hierarchie (SDH) üblichen Zusammenfassung von vier Kanälen zu einem höherwertigen Signal ausgegangen, wobei die Ziffern jeweils den abgetasteten Kanal wiedergeben.

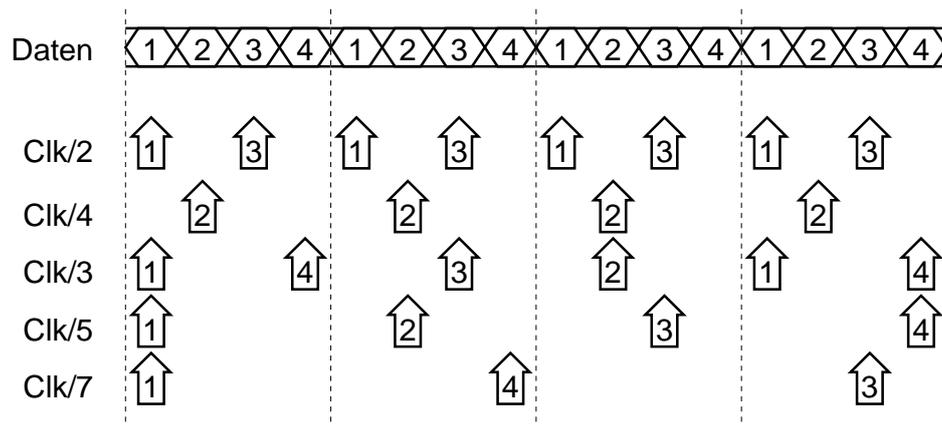


Abb. 5.3: Gleichhäufige Abtastung aller Kanäle eines Zeitmultiplex-Signals durch Verwendung eines ungeraden Teilverhältnisses.

Dabei erweist sich ein Teilverhältnis von 3:1 als besonders günstig, da hierbei mit einem Dreiphasentakt mit um 120° versetzten Takten bei 6,67 GHz für 20 Gbaud gearbeitet werden kann. Aus diesem Dreiphasentakt können alle erforderlichen Signale mit vertretbarem Aufwand erzeugt werden. Auch ist die Anpassung der DLL an diesen Dreiphasentakt relativ einfach.

5.2.3 Abtasttakte bei Verwendung eines Dreiphasentakts

Aus dem Dreiphasentakt müssen geeignete Abtastsignale für die Augenmusterbewertung gewonnen werden. In Abb. 5.4 ist ein Augendiagramm mit dem dazugehörigen, von der DLL bereits synchronisierten, Dreiphasentakt gezeigt. Zur deutlicheren Darstellung wurde hier ein einfaches binäres Datensignal verwendet, gleiches gilt jedoch auch für quaternäre Signale. Da der Systemtakt durch drei geteilt wurde, und weil die einzelnen Takte Clk_1 , Clk_2 und Clk_3 um je 120° versetzt sind, hat jeder dieser Takte seinen Nulldurchgang an einem Bitwechsel. Die Abtasttakte Clk_L und Clk_R (linke und rechte Seite des Bewertungsrechtecks) können recht einfach durch Phasenschieber aus dem

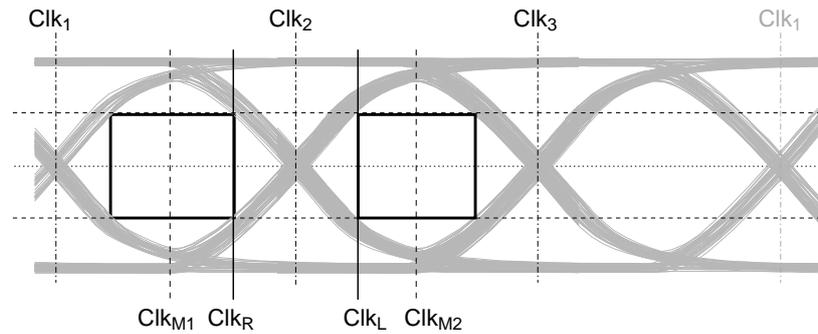


Abb. 5.4: Lage der Takte bei dreiphasigem Taktsystem. Oberhalb des Augendiagramms sind die drei, um 120° versetzten Takte der DLL eingezeichnet, unterhalb des Augendiagramms die Abtasttakte Clk_L und Clk_R , sowie die Takte für den Flankendetektor in der Augenmitte $Clk_{M1,2}$.

Dreiphasentakt gewonnen werden. Die für den Flankendetektor nötigen Takte in der Augenmitte $Clk_{M1,2}$ werden hingegen durch eine feste Phaseninterpolation aus dem Dreiphasentakt erzeugt. Somit lassen sich alle nötigen Takte ohne großen Aufwand aus dem Dreiphasentakt der DLL ableiten.

5.3 Schaltungsstruktur des erweiterten Augenmuster-Analysators

Der Aufbau des Analysators wird in diesem zweiten Entwurf beibehalten, wobei jedoch etliche Modifikationen im Detail vorgenommen werden, um neue Funktionen zu implementieren bzw. bestehende zu verbessern.

Da eine deutlich höhere Komplexität der gesamten Schaltung zu erwarten ist, und sich bereits bei der vorhergehenden Version Schwierigkeiten bei der Abfuhr der Verlustleistung sowie bei der Unterbringung geeigneter Testhilfen zeigten, wird der Analysator von vornherein als Zwei-Chip-Lösung ausgeführt. Eine Alternative wäre eine größere Chipfläche, jedoch war dies auf dem Projekt-Reticle nicht ohne weiteres zu realisieren. Die Trennung erfolgt zwischen Analysator und DLL, da diese Teilschaltungen sehr gut getrennt voneinander betrieben und getestet werden können.

Abb. 5.5: Blockdiagramm des erweiterten Augenmuster-Analysators (AMA2).

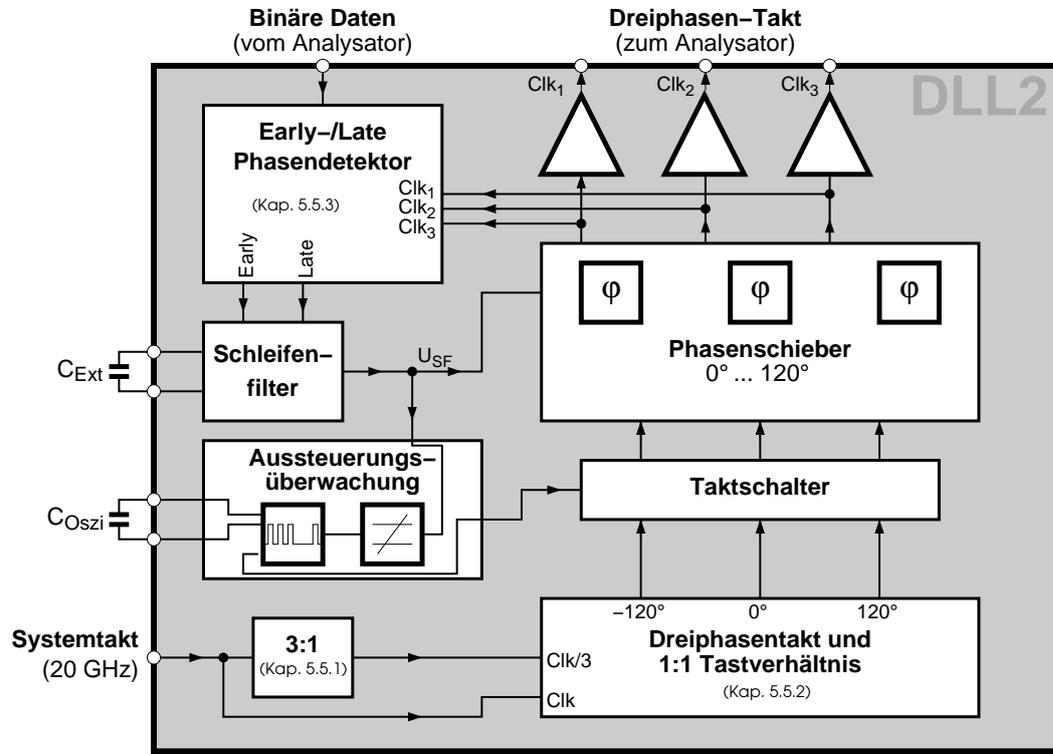
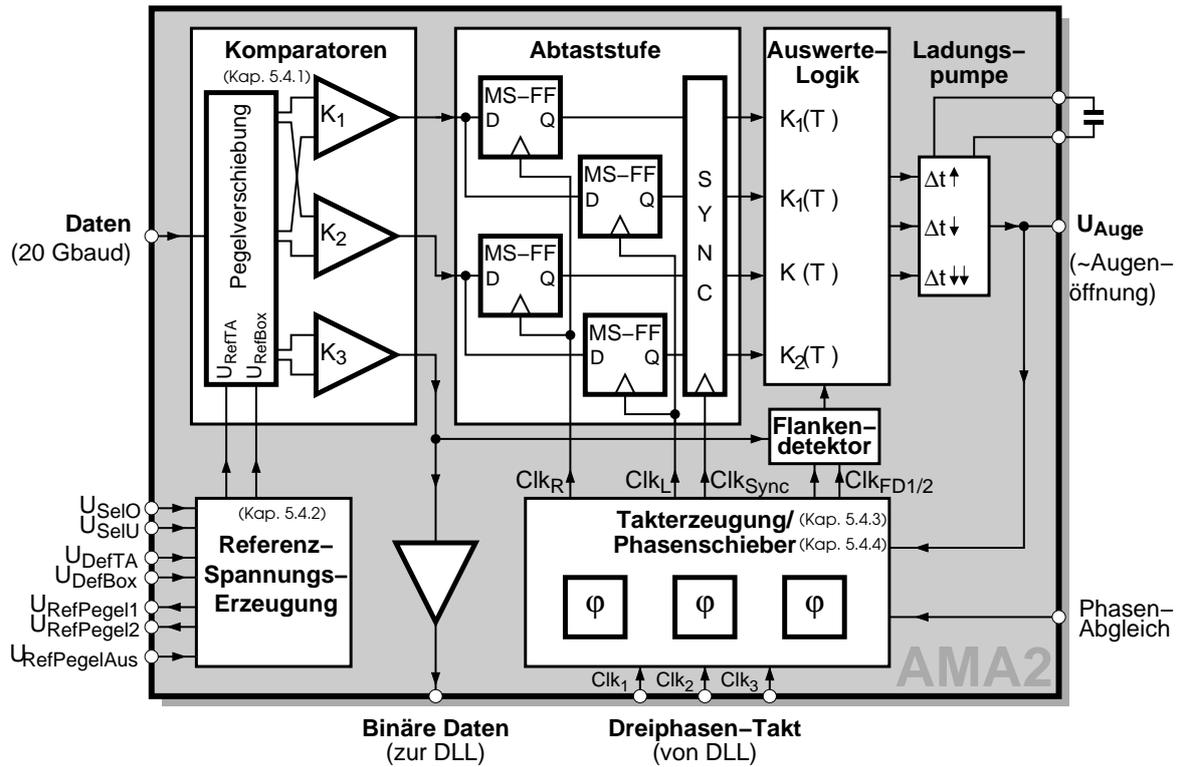


Abb. 5.6: Blockdiagramm der erweiterten Delay-Locked-Loop (DLL2) mit dreiphasigem Takt.

5.4 Modifikationen am Analysator

Wie in Abb. 5.5 zu erkennen, ergeben sich für den Analysator im Wesentlichen Änderungen in den Komparatoren, sowie in der Art der Referenzspannungseinstellung. Hauptgrund für diese Änderungen ist die Erweiterung auf quaternäre Signale. Des Weiteren wurden die Phasenschieber durch einen etwas komplexeren Block, der hier mit Takterzeugung gekennzeichnet ist, ersetzt. Neben den Abtasttakten Clk_L und Clk_R werden auch ein Synchronisationstakt Clk_{Sync} und zwei Takte für den Flankendetektor $Clk_{MI,2}$ erzeugt.

Die geänderten Schaltungsteile, d.h. die Komparatoren, die Erzeugung der Referenzspannung inklusive Umschaltung der Teilaugen, sowie einige Details der Takterzeugung, werden im Folgenden näher erläutert. Nicht betrachtet werden hingegen Abtaststufe, Auswerte-Logik, Ladungspumpe, sowie Flankendetektor, da sich die Änderungen an diesen Schaltungsteilen im Wesentlichen auf eine Anpassung an die höhere Geschwindigkeit und die geänderten Technologieparameter beschränken. Trotzdem mussten auch diese Schaltungsteile neu dimensioniert und simuliert werden, sowie das Chip-Layout von Grund auf neu gezeichnet werden.

5.4.1 Komparatorstufe des erweiterten Analysators

Um sowohl der gewünschten unabhängigen Einstellbarkeit der Höhe und Lage des Bewertungsrechtecks, als auch den erhöhten Geschwindigkeitsanforderungen und dem größeren Hub bei quaternären Signalen gerecht zu werden, wurde ein neues Komparatorkonzept entwickelt. Hierbei wird wieder ein vollständig differentielles Konzept angestrebt, um die bereits in Kap. 4.2.1 erwähnten Vorzüge weiterhin auszunutzen.

Diese Funktion wird realisiert, indem zunächst mit der in Abb. 5.7 gezeigten Schaltung die Gleichspannungspegel des nichtinvertierten und invertierten Datensignals getrennt voneinander in gegenläufiger Richtung verschoben werden. Durch begrenzendes Verstärker wird anschließend entschieden, ob das wieder zusammengefasste, differentielle Signal größer oder kleiner null ist. Der dritte Komparator K_3 ist hier nicht gezeigt, um das Schaltbild übersichtlich zu halten. Er ist mit der ersten Emitterfolgerstufe so verdrahtet, dass er immer in der Mitte des gerade gewählten Teilauges arbeitet.

Die Verwendung von zwei Widerständen am Emitterfolger, zwischen denen der Strom mit einem Stromschalter aufgeteilt wird, hat den wesentlichen Vorteil, dass hierdurch der Strom im Emitterfolger selbst konstant bleibt. Somit ist

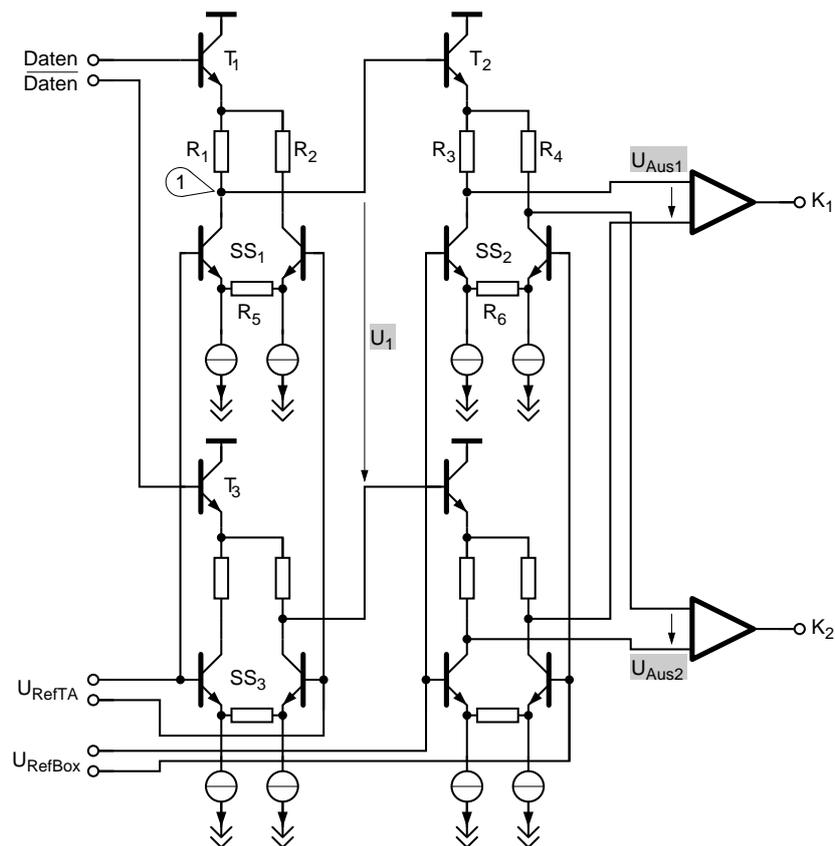


Abb. 5.7: Komparatorschaltung inkl. Pegelverschiebung für quaternäre Signale.

der Arbeitspunkt des Emitterfolgers unabhängig von der eingestellten Referenzspannung. Würde man statt dessen z.B. eine steuerbare Stromquelle einsetzen oder die Stromschalter SS_1 und SS_3 zusammenfassen, so würde dies zwar den Stromverbrauch reduzieren, gleichzeitig würden jedoch die komplementären Emitterfolger T_1 und T_3 unterschiedliche Ströme führen, so dass sich verschiedene Spannungsabfälle über der U_{BE} -Diode, sowie über dem inneren Emitterwiderstand R_E ergäben. Weiterhin wäre die Transitfrequenz f_T der beiden Transistoren verschieden, was geringfügig unterschiedliche Flankensteilheiten zur Folge hätte. Dieser Effekt ist bei SiGe-Transistoren besonders ausgeprägt, da hier die Abhängigkeit der Transitfrequenz von der Kollektorstromdichte hoch ist.

Um die Referenzspannungen möglichst über einen weiten Bereich linear verstellen zu können, sind die Stromschalter gegengekoppelt, so dass sich eine nominelle Verstärkung von Eins ergibt. Insgesamt lassen sich die Nulllage der Teilaugen, sowie die Höhe des Bewertungsrechtecks von 0 V bis >600 mV einstellen, d.h. es sind ausreichend Reserven für quaternäre Signale mit einem nominellen Hub von $1 V_{pp,diff}$, bzw. für binäre Signale mit $500 mV_{pp,diff}$ Hub, vorhanden.

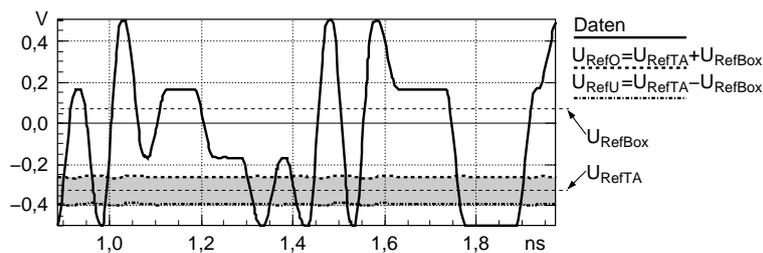
Ein Nachteil der Einstellung der Referenzspannung über Stromschalter ist jedoch, dass diese insbesondere bei höheren Spannungen nicht linear erfolgt. Des Weiteren haben Prozessschwankungen, insbesondere bei den Widerständen, einen Einfluss auf die effektiv zur Anwendung kommende Referenzschwelle. Daher wird ein zusätzlicher, identischer Komparator verwendet, welcher rein statisch betrieben wird. Die Ausgänge dieses Komparators liegen an den Anschlüssen $U_{RefPegel1}$ bzw. $U_{RefPegel2}$ an. Mit Hilfe eines Digitalvoltmeters kann so die tatsächlich eingestellte Spannung genau überprüft werden. Zur Stromeinsparung kann dieser Komparator nach erfolgter Einstellung abgeschaltet werden.

Zur Funktionsweise im Detail: Betrachtet man den Weg eines der beiden differentiellen Signale, also z.B. den des nichtinvertierten Signals, so durchläuft dieses zunächst den Emitterfolger T_1 , an dessen Emitter zwei Widerstände R_1 und R_2 angeschlossen sind. Die Stromverteilung durch diese beiden Widerstände kann mit Hilfe des Stromschalters SS_1 in Abhängigkeit von U_{RefTA} gesteuert werden. Hierdurch ändert sich der DC-Pegel des Signals an Punkt 1, da es erst hinter dem Widerstand abgegriffen wird. Ein zweiter Emitterfolger T_2 in Kombination mit den Widerständen R_3 und R_4 und dem Stromschalter SS_2 führt eine weitere Verschiebung des DC-Pegels in Abhängigkeit von U_{RefBox} durch.

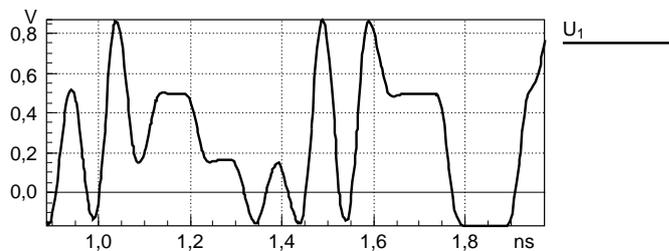
Die Abb. 5.8a-5.8c zeigen zur Verdeutlichung der Funktionsweise simulierte Spannungsverläufe an verschiedenen Stellen der Schaltung aus Abb. 5.7. Hierbei zeigt Abb. 5.8a das am Komparatoreingang anliegende Datensignal und die beiden Referenzspannungen U_{RefBox} und U_{RefTA} . Aus diesen beiden Spannungen ergeben sich (wenn die Stromschalter als linear angenommen werden und eine Verstärkung von eins besitzen⁴) die obere und untere Grenze des Bewertungsrechtecks zu

$$\begin{aligned} U_{RefO} &= U_{RefTA} + U_{RefBox} \\ U_{RefU} &= U_{RefTA} - U_{RefBox} \end{aligned} \quad (5.1)$$

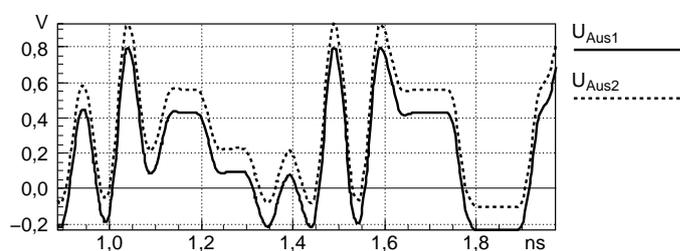
⁴Auf diese Thematik wird später noch genauer eingegangen.

**Abb. 5.8a:**

Spannungsverläufe im Komparator: Differentielles Eingangssignal mit 1 V_{pp} bei 20 Gbaud; Referenzspannungen U_{RefBox} und U_{RefTA} , sowie die daraus resultierenden Grenzen U_{RefO} und U_{RefU} .

**Abb. 5.8b:**

Spannungsverläufe im Komparator: Spannung U_I nach erster Emitterstufe (s. Abb. 5.7).

**Abb. 5.8c:**

Spannungsverläufe im Komparator: Spannungen U_{Aus1} und U_{Aus2} am Eingang der begrenzenden Verstärker. Spannungen größer 0 V werden als „High“, Spannungen kleiner 0 V als „Low“ gewertet.

Der Komparator soll also den grau hinterlegten Bereich bewerten. Betrachtet man die hinter der ersten Emitterfolgerstufe auftretende Differenzspannung U_I , so wurde der DC-Pegel dieser Spannung um den Betrag von U_{RefTA} verschoben (Abb. 5.8b), so dass der Nulldurchgang in der Mitte des unteren Teilauges liegt. In der zweiten Emitterfolgerstufe wird dann U_{Aus1} um U_{RefBox} nach unten und U_{Aus2} um U_{RefBox} nach oben verschoben (Abb. 5.8c). Die Umschaltunkte der begrenzenden Verstärker entsprechen den Nulldurchgängen der Spannungen U_{Aus1} und U_{Aus2} und somit den eingestellten Referenzspannungen.

5.4.2 Einstellung der Referenzspannungen

Die Schaltung zur Einstellung der Referenzspannungen muss im Wesentlichen folgende Funktionen erfüllen:

- **Spannungsumwandlung** der von außen angelegten „single-ended“-Spannungen (U_{DefBox} und U_{DefTA}) in geeignete Spannungen zur Steuerung des Komparators.

- **Auswahl des oberen/mittleren/unteren Teilauges** in Abhängigkeit von zwei digitalen Eingangsspannungen (U_{SelO} und U_{SelU}).
- Erzeugung der **Kontrollspannungen** ($U_{RefPegel1,2}$) zur Überprüfung der tatsächlich im Komparator anliegenden Spannungen.

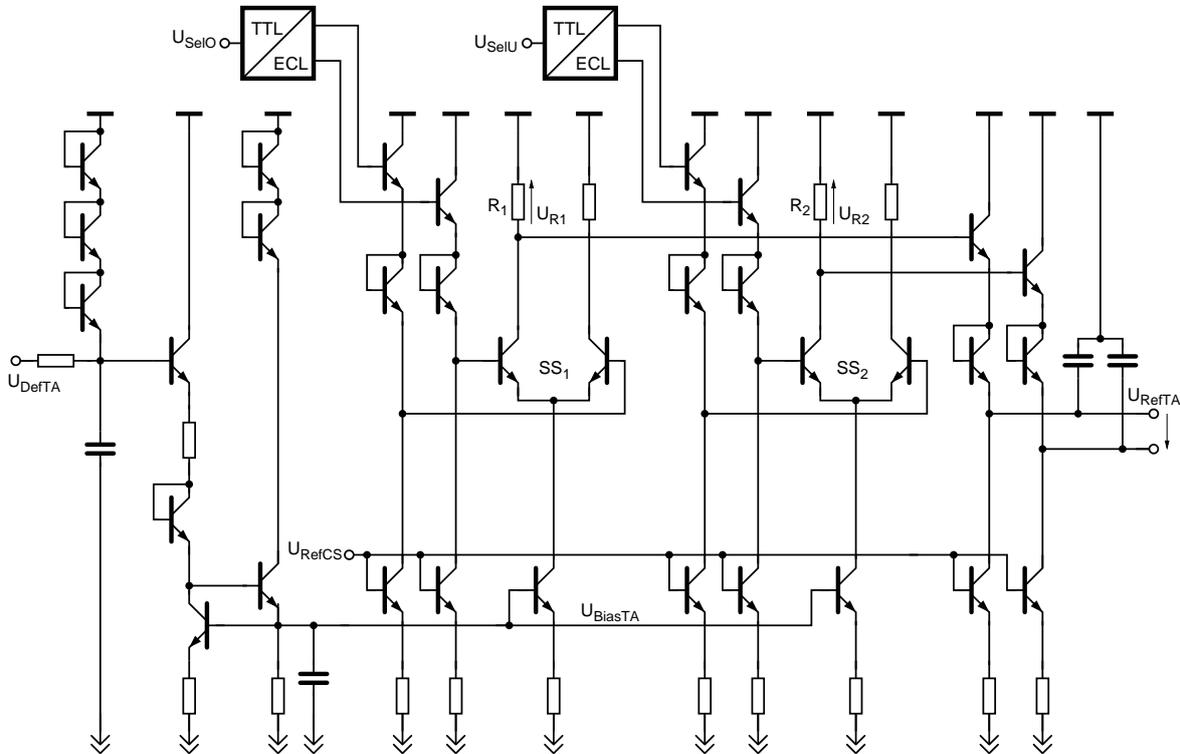


Abb. 5.9: Schaltung zur Einstellung der Referenzspannung U_{RefTA} .

Die Schaltung zur Einstellung der Spannung U_{RefTA} soll an dieser Stelle näher betrachtet werden. Wie in Abb. 5.9 zu sehen ist, steuert die Spannung U_{DefTA} einen Stromspiegel an, welcher die Ströme für die Stromschalter SS_1 und SS_2 vorgibt. Hierdurch wird der Spannungsabfall an den Kollektorwiderständen R_1 bzw. R_2 und somit letztendlich die Höhe der Spannung U_{RefTA} eingestellt. Die Umschaltung zwischen den Teilaugen erfolgt durch die beiden „Quasi“-TTL-Spannungen U_{SelO} und U_{SelU} , welche zunächst in ECL-Pegel gewandelt werden, bevor sie dann die beiden Stromschalter SS_1 bzw. SS_2 schalten. Die daraus resultierenden Spannungen sind exemplarisch in Tab. 5.1 für ein U_{DefTA} , welches einem Spannungsabfall U_1 von -200 mV entspricht, dargestellt.

Auf die Schaltung zur Einstellung der Spannung U_{RefBox} soll hier nicht näher eingegangen werden, da diese ähnlich realisiert ist, jedoch ohne die Umschaltmöglichkeit. Die Erzeugung der Kontrollspannungen $U_{RefPegel1,2}$ wurde im vorangegangenen Kapitel schon kurz angesprochen.

Tab. 5.1: Auswahl des Teilauges in Abhängigkeit von U_{SelO} und U_{SelU} . Der Spannungsabfall an den Widerständen (U_{R1} bzw. U_{R2}) hängt von der Spannung U_{DefTA} ab. Hier wurde exemplarisch ein Wert von -200 mV angenommen.

U_{SelO}	U_{SelU}	U_{R1}	U_{R2}	$U_{RefTA} \approx U_{R1} - U_{R2}$
0	0	-200 mV	-200 mV	0 V
0	1	-200 mV	0 V	-200 mV
1	0	0 V	-200 mV	200 mV
1	1	nicht erlaubt		

5.4.3 Takterzeugung im Analysator

Da die DLL jetzt einen dreiphasigen Takt von 6,67 GHz liefert, müssen alle Takte für die Abtaststufe hieraus abgeleitet werden, wozu die in Abb. 5.10 skizzierte Schaltung eingesetzt wird. Die Taktsignale werden zunächst in Sinus- bzw. Dreieckssignale umgewandelt, wobei diese Stufe in Ergänzung zum ersten Entwurf eine automatische Stabilisierung der Amplitude beinhaltet. Anschließend folgt eine erste Phasenschieberstufe zum Abgleich der Phase zwischen DLL und Analysator mittels der externen Spannung U_{PhAdj} . Da die Phasenverschiebung hier von 0° bis 120° eingestellt werden kann, und dies bereits einem Bit entspricht, konnte auf eine zusätzliche Umschaltung der Phasen verzichtet werden. Um die Schwankungen in der Amplitude auszugleichen wird das Ausgangssignal in den Phasenschiebern zunächst begrenzend verstärkt. Dies erfordert eine erneute Rechtecks-/Dreiecksumwandlung, bevor in der nächsten Stufe die Abtasttakte Clk_R und Clk_L in Abhängigkeit von der Ladungspumpenspannung U_{Auge} eingestellt werden. Durch einen zusätzlichen Schaltungsblock wird hierbei der Einstellbereich auf 0° bis 60° bzw. 60° bis 120° beschränkt, so dass sichergestellt ist, dass die Abtasttakte maximal bis in die Mitte des Bewertungsrechtecks verschoben werden können (vgl. Abb. 5.4). Des Weiteren werden auch die Flankendetektortakte $Clk_{M1,2}$ durch Phaseninterpolation, d.h. fest eingestellte 60° - Phasenschieber, sowie der Synchronisationstakt Clk_{Sync} erzeugt.

5.4.4 Phasenschieber mit einem Einstellbereich von 0° bis 120°

Sowohl im Analysator, als auch in der DLL, werden Phasenschieber mit einem Einstellbereich von 0° bis 120° benötigt. Diese lassen sich im Allgemeinen wie die bisher verwendeten 90° -Phasenschieber aufbauen. Jedoch sollen die Phasenschieber in zwei Punkten gegenüber den im ersten Entwurf verwendeten

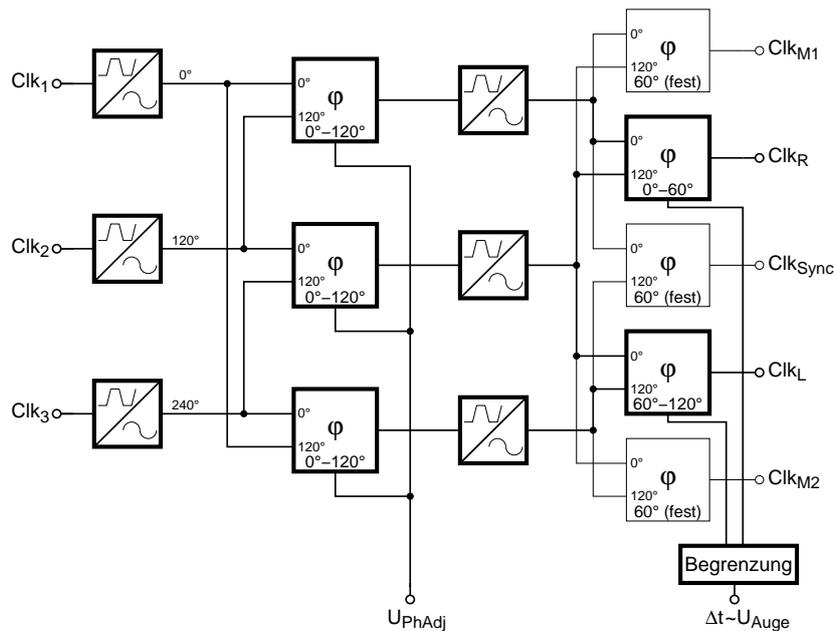
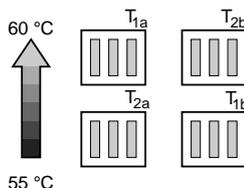
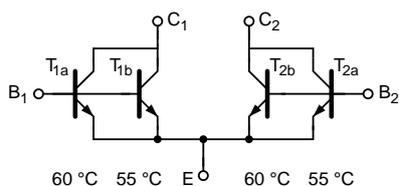


Abb. 5.10: Blockdiagramm der Takterzeugung des erweiterten Analysators.

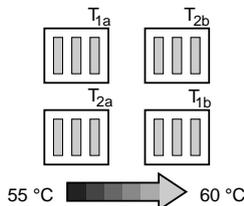
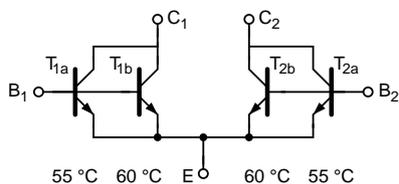
Schaltungen verbessert werden.

Zunächst einmal soll der Einfluss von Temperaturschwankungen und insbesondere Temperaturgradienten stark verringert werden. Bei dem vorangegangenen Entwurf wurde bei den Taktsignalen in Messungen eine deutliche Abweichung des Tastverhältnisses vom idealen 1:1-Wert beobachtet (vgl. Kap. 4.5.3). Dieses wurde durch einen Temperaturgradienten über den Phasenschiebern verursacht. Eine Möglichkeit, Differenzverstärkerstufen möglichst unempfindlich gegenüber derartigen Störungen zu entwerfen, ist die Verwendung der in Abb. 5.11 gezeigten Überkreuz-Anordnung (auch Cross-Quad oder Common Centroid genannt) von parallelgeschalteten Transistoren im Layout [69], welches allerdings mit einer entsprechend aufwändigeren Verdrahtung einhergeht. Unabhängig von der Richtung des Temperaturgradienten befindet sich immer ein Transistor eines Pärchens auf der wärmeren und einer auf der kälteren Seite, so dass sich die Effekte in der Summe wieder aufheben. Durch Verwendung dieses Layouts kann auch der Einfluss anderer geometrieabhängiger Störungen, wie z.B. Dotierungsgefälle, Maskenoffsets usw., minimiert werden.

Auch das Übersprechen durch die parasitäre Basis-Kollektor-Kapazität verursacht einen Phasenfehler, der bei höheren Frequenzen und größeren Phasenunterschieden deutlicher ausgeprägt ist. Daher werden zusätzliche Kapazitäten zur Kompensation eingesetzt. Hierbei wird jeweils der nichtinvertierte

**Abb. 5.11a:**

Überkreuz-Anordnung von Transistoren bei vertikalem Temperaturgradient.

**Abb. 5.11b:**

Überkreuz-Anordnung von Transistoren bei horizontalem Temperaturgradient.

Eingang kapazitiv auf den nichtinvertierten Ausgang gekoppelt, bzw. analog der invertierte Eingang auf den invertierenden Ausgang⁵. Besonders kritisch ist der Fall, wenn durch die Steuerspannung nur einer der beiden oberen Differenzverstärker aktiv ist. Dann koppelt der eigentlich deaktivierte Eingang durch die BC-Diode auf den Ausgang. Durch die Kompensationskapazitäten wird jedoch der gleiche Anteil um 180° versetzt auf den Ausgang geführt, so dass sich die Übersprecher aufheben. Damit dies funktioniert, müssen die Kompensationskapazitäten den gleichen Wert wie die Basis-Kollektor-Kapazität haben, was sich durch Verwendung von Transistoren gleicher Größe, die als gesperrte Diode betrieben werden, leicht realisieren lässt [55]. Die gesamte Schaltung inklusive Überkreuz-Anordnung der Transistoren und Kompensationskapazitäten zeigt Abb. 5.12. Der Verstärker am Ausgang hebt die Ausgangsamplitude wieder auf einen konstanten Pegel an. Dies ist bei Ansteuerung mit um 120° versetzten Signalen besonders wichtig, da hier die Amplitude bei 60° ($U_{Steuer} = 0\text{ V}$) um 50 % gegenüber dem Pegel für 0° bzw. 120° einbricht.

Den Erfolg dieser Kompensationsmaßnahmen verdeutlicht Abb. 5.13, in der das Tastverhältnis über der Phase für eine Temperaturdifferenz von 2,5 K über einem der Differenzverstärker bei einer Ansteuerung mit einem sinusförmigen Takt von 6,67 GHz und 100 mV Amplitude dargestellt ist. Während die unkompensierte Schaltung einen starken Fehler im Tastverhältnis aufweist, bleibt das Tastverhältnis der kompensierten Schaltung konstant bei 1:1.

⁵Da es sich hierbei um eine Mitkopplung handelt, muss darauf geachtet werden, dass die Ringverstärkung der Mitkopplung < 1 bleibt.

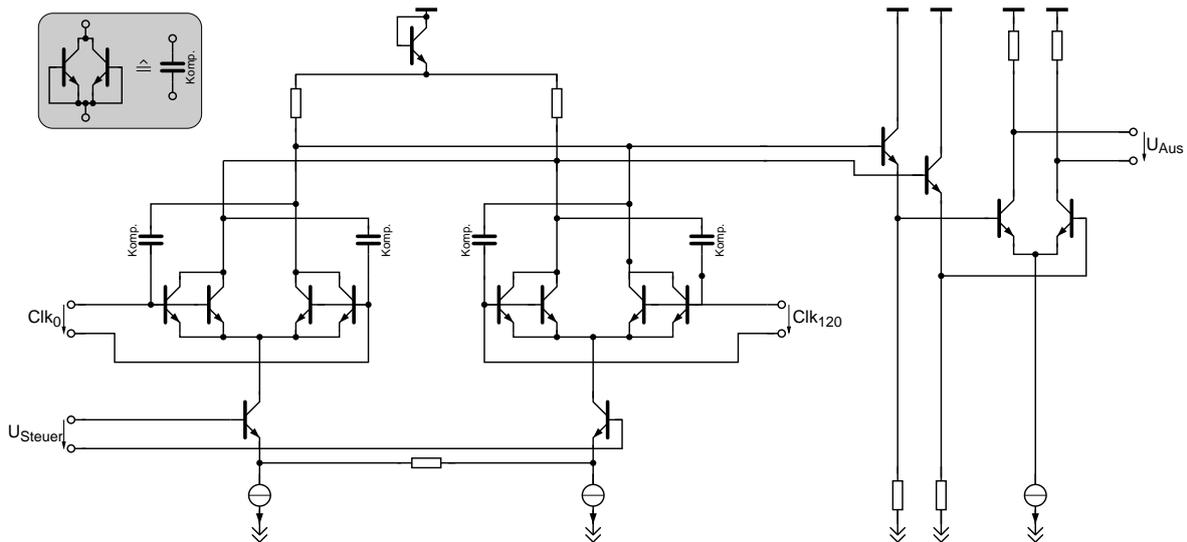


Abb. 5.12: Schaltbild des 0° bis 120° Phasenschiebers.

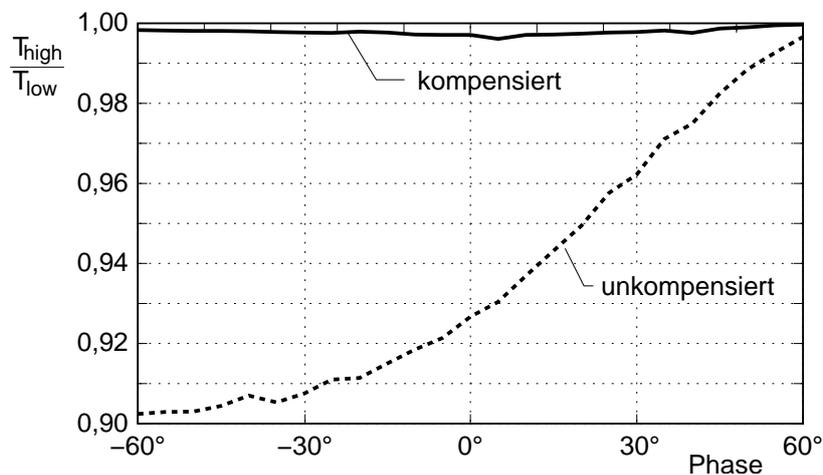


Abb. 5.13: Tastverhältnis des 0° bis 120° Phasenschiebers mit Temperaturgradient.

5.5 Modifikationen an der Phasenregelschleife

5.5.1 3:1 Frequenzteiler

Eine einfache Realisierung eines 3:1-Frequenzteilers zeigt Abb. 5.14 [70]. Zwei MS-D-FFs dienen als Schieberegister, dessen Eingang durch ein NOR-Gatter gespeist wird. Am Ausgang liegt das durch drei geteilte Signal mit einem 2:1-Tastverhältnis [71] an. Um eine maximale Betriebsfrequenz des Teilers von > 20 GHz zu erreichen, muss die Schaltung möglichst kompakt und symmetrisch sein. Daher wird das NOR-Gatter in das erste Master-Flip-Flop integriert (Abb. 5.15). Obwohl durch die „single-ended“-Ansteuerung des Master-Flip-Flops ein größerer Hub von ca. 400 mV nötig ist, sind die Geschwindigkeitsein-

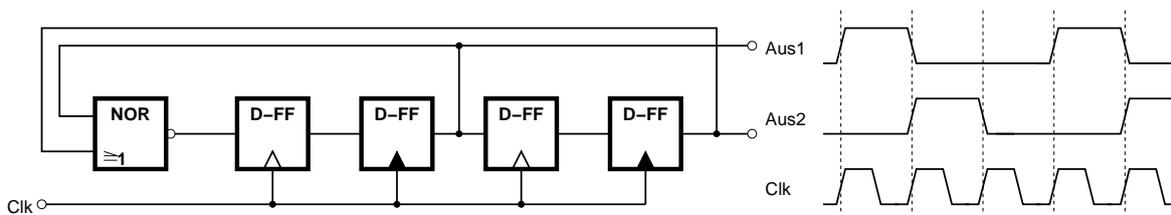


Abb. 5.14: Blockschaltbild des 3:1 Frequenzteilers.

bußen geringer als die durch ein zusätzliches Gatter⁶. Zur Steigerung der Symmetrie wird außerdem ein zweiter Ausgangsbuffer hinzugefügt, obwohl nur ein Ausgang benötigt wird, so dass beide Slave-Flip-Flops gleichmäßig belastet werden. Auch während des Layouts muss auf eine möglichst symmetrische Struktur geachtet werden, die bereits im Schaltplan durch die Anordnung in einem Ring angedeutet ist. In Postlayout-Simulationen arbeitet diese Frequenzteilerschaltung bis zu einer Eingangsfrequenz von 25 GHz.

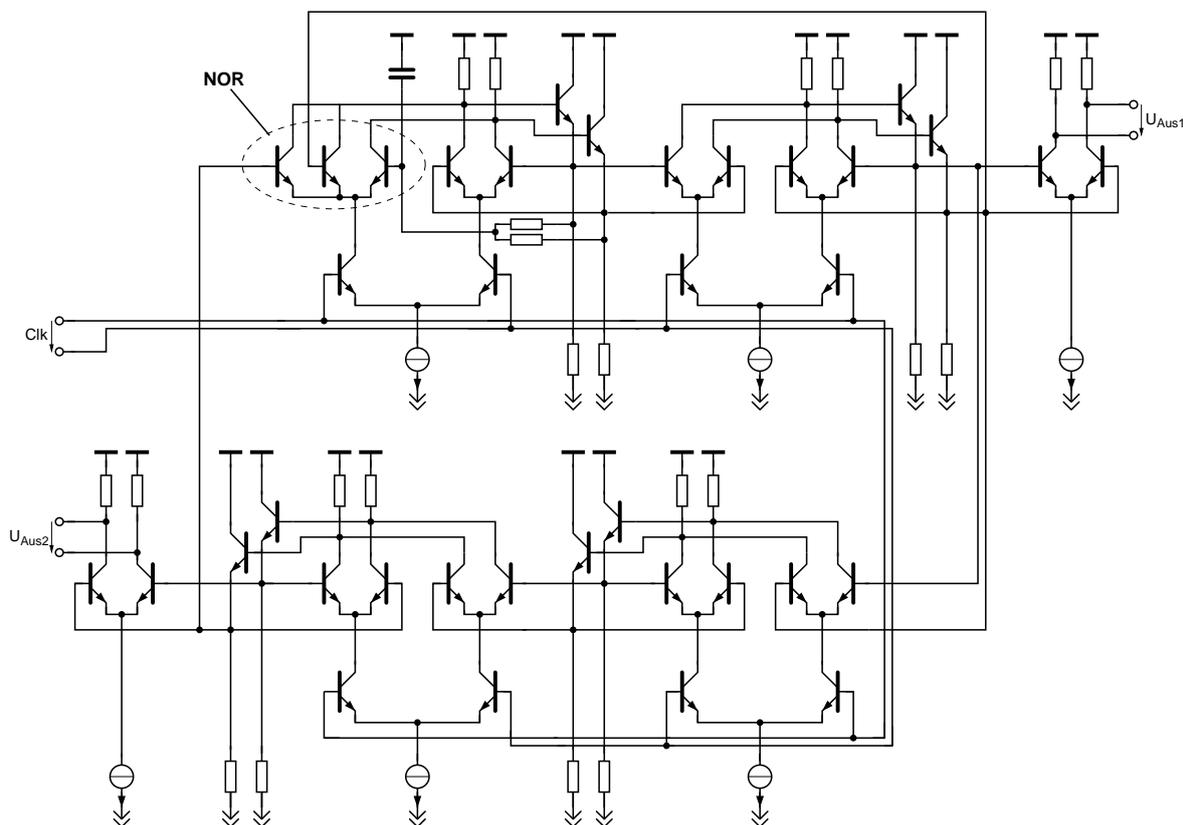


Abb. 5.15: Schaltplan des 3:1 Frequenzteilers.

⁶Ein ECL-NOR-Gatter in der hier zur Verfügung stehenden Technologie hat eine Laufzeit von > 12 ps, welche bei einer Periodendauer von < 50 ps sehr kritisch ist.

5.5.2 Erzeugung des Dreiphasentakts

Der Frequenzteiler liefert zwar ein durch drei geteiltes Signal, jedoch weist dieses noch das für die Phasenschieber ungünstige Tastverhältnis von 2:1 auf. Nötig für eine gute Funktion der Phasenschieber, sowie für eine saubere Umsetzung von Rechteck- nach Sinus-/Dreieckssignal ist jedoch eine präzise Einhaltung des 1:1-Tastverhältnisses (vgl. auch Kap. 4.5.3). Des Weiteren muss der Takt nun auf einen Dreiphasentakt mit drei um je 120° versetzten Signalen erweitert werden.

Eine einfache Möglichkeit zur Realisierung des gewünschten Tastverhältnisses durch ODER-Verknüpfung von Master- und Slave-Flip-Flop zeigt Abb. 5.16. Allerdings ergeben sich bei hohen Frequenzen im Gigahertz-Bereich zwei Probleme: Erstens ist ein normales ECL-OR-Gatter nicht vollständig symmetrisch, so dass sich Laufzeitunterschiede und damit Fehler im Tastverhältnis ergeben. Zweitens gelingt es selbst mit einer symmetrischen Anordnung [72, 55] (patentiert) aufgrund der Umladung von parasitären Kapazitäten nicht, ein 1:1-Tastverhältnis zu erzeugen. Zu erwähnen ist noch, dass die Schaltung aus Abb. 5.16 problemlos durch Erweiterung des Schieberegisters auf einen dreiphasigen Takt erweitert werden kann.

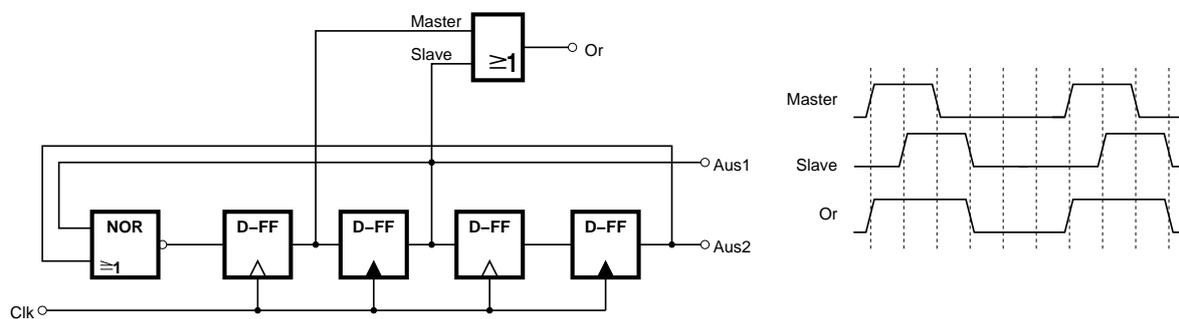


Abb. 5.16: Erzeugung eines 1:1-Tastverhältnisses mit einer ODER-Verknüpfung.

Wesentlich bessere Ergebnisse erzielt man mit einer Schaltungsstruktur nach Abb. 5.17. Eine 7-stufige Schieberegisterkette verschiebt den bereits durch drei geteilten Takt. Dabei werden die Schieberegister mit dem ursprünglichen Systemtakt von 20 GHz betrieben. Ein Multiplexer fasst die Ausgänge zweier Flip-Flops zusammen, wobei der Takteingang des Multiplexers mit der davorliegenden Flip-Flop-Stufe verbunden ist. Der Vorteil ist, dass die Flip-Flops den Signalverlauf bestimmen und dass die Signale nur durch die obere, symmetrische Stufe des Multiplexers geleitet werden. Auch diese Struktur ermöglicht eine einfache Realisierung eines dreiphasigen Takts.

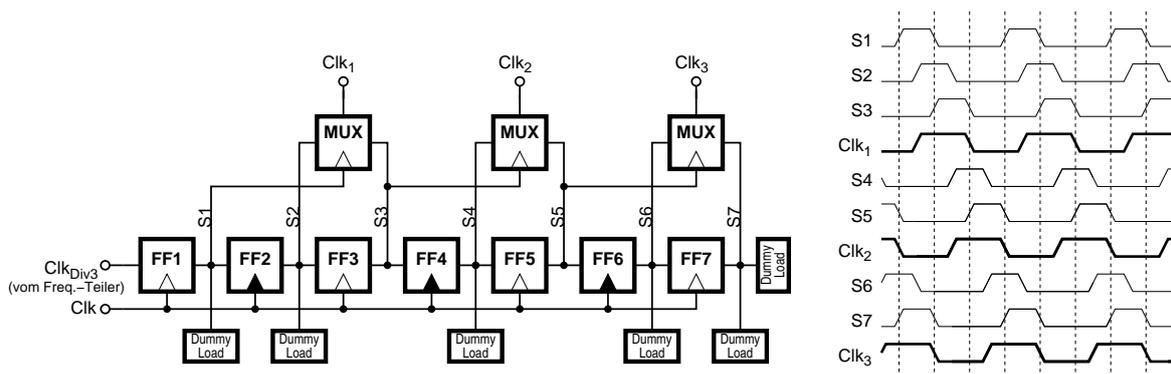


Abb. 5.17: Erzeugung eines 1:1-Tastverhältnisses mit Multiplexern.

Um die Symmetrie weiter zu verbessern, sind alle Knoten durch Hinzufügen von „Dummy“-Lasten gleich stark belastet. Insgesamt weist diese Anordnung in Postlayout-Simulationen bei einem Takt⁷ mit einer Frequenz von 20 GHz eine Abweichung von maximal 3,5 % vom idealen 1:1-Tastverhältnis auf.

5.5.3 Phasendetektor für einen dreiphasigen Takt

Eine weitere Anpassung in der DLL betrifft den Phasendetektor, welcher ebenfalls mit dem dreiphasigen Takt betrieben wird. Die sich ergebenden Änderungen sind jedoch minimal, da, wie Abb. 5.18 zeigt, der bereits eingesetzte Early-/Late-Phasendetektor problemlos an den Dreiphasentakt angepasst werden kann. Der Phasendetektor wird mit einem binären Datensignal, welches der Analysator mit dem Komparator K_3 aus dem quaternären Eingangssignal ableitet, angesteuert.

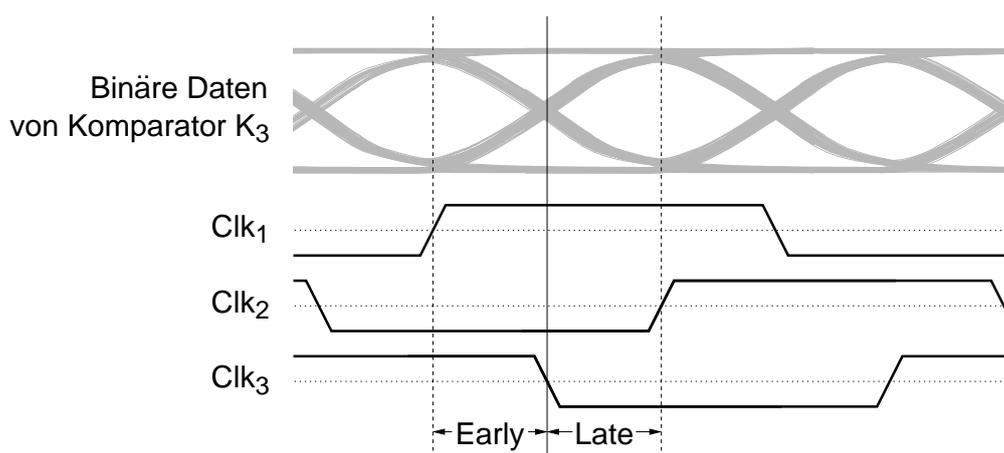


Abb. 5.18: Early-/Late-Phasendetektor mit Dreiphasentakt.

⁷D.h. der Dreiphasentakt hat eine Frequenz von 6,67 GHz.

Bei der Abtastung des Signals wird ausgenutzt, dass die Takte um je ein Bit versetzt sind, d.h. wenn die steigende Flanke von Clk_1 in der Bitmitte liegt, so befindet sich Clk_2 in der Mitte des darauffolgenden Bits. Der Nulldurchgang des Datensignals liegt dann bei der fallenden Flanke von Clk_3 , so dass mit diesen drei Takten ein Early-/Late-Phasendetektor aufgebaut werden kann.

5.6 Layout und Chip-Varianten

Für das Layout gelten die bereits in Kap. 4.4 erwähnten Regeln. Die für diesen Durchlauf zur Verfügung stehende Technologie bietet weiterhin nur zwei Metallisierungsebenen. Optional kann z.B. für Induktivitäten hoher Güte eine hochliegende⁸ dritte Metallisierung verwendet werden. Diese Zusatzmetallisierung hat aber für die hier angestrebten Anwendungen keine Vorteile und wird deshalb nicht eingesetzt. Des Weiteren wird die Möglichkeit genutzt, einen Teil der Schaltungen in der sogenannten Flip-Chip Technologie aufzubauen. Hierbei werden identische Chip-Layouts verwendet, da es in dem gegebenen zeitlichen Rahmen nicht möglich war, zusätzliche, auf Flip-Chip Technologie optimierte Entwürfe zu erstellen. Die Details zu der Flip-Chip-Aufbautechnik werden in Kapitel A.4 näher beschrieben.

Da die volle Funktionalität des erweiterten Augenmuster-Analysators auf zwei Chips verteilt ist, muss auch auf eine möglichst sinnvolle Anordnung der Pins geachtet werden. Ziel ist es, die Chips mit geringem Aufwand miteinander verbinden zu können, sei es bei Montage auf einem gemeinsamen Substrat oder aber bei Verbindung zweier Substrate. In Abb. 5.19 bzw. 5.20 sind Chipfotos des Analysators und der DLL abgebildet. Es ist zu erkennen, dass die Ein- und Ausgänge des Dreiphasentakts direkt gegenüberliegend angeordnet sind. Zwischen diesen Leitungen befinden sich nur Masse-Bondpads, so dass ein einfacher Aufbau gewährleistet ist.

⁸über einem Dielektrikum

Abb. 5.19: Chipfoto des erweiterten Analysators AMA2.
Binär zur DLL

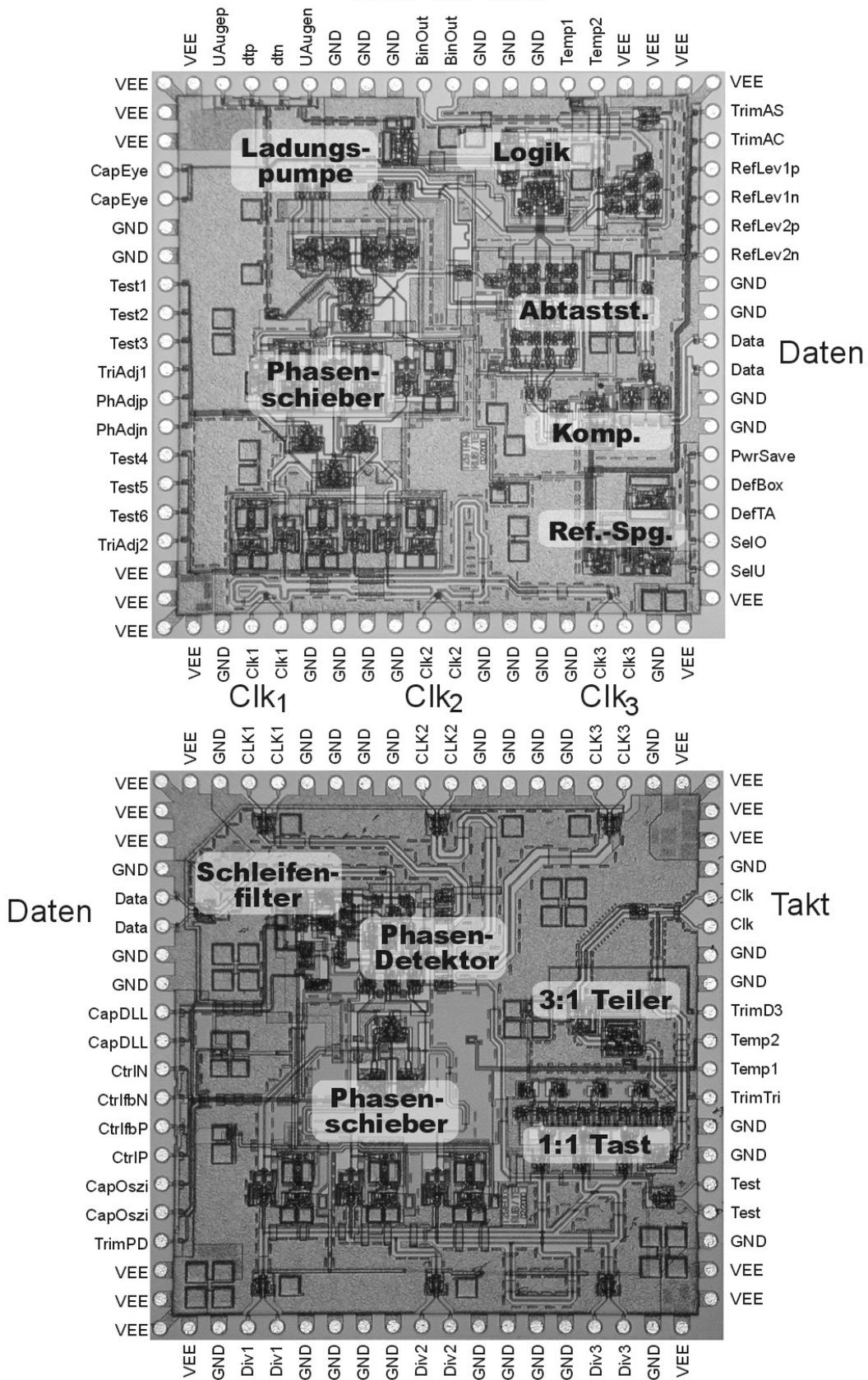


Abb. 5.20: Chipfoto der dazugehörigen Phasenregelschleife DLL2.

5.7 Messergebnisse

Auch der erweiterte Analysator wurde ausschließlich in Testfassungen montiert gemessen. Dabei kamen sowohl Aufbauten in konventioneller Bondtechnik, als auch in Flip-Chip-Technik zum Einsatz. Die wesentlichen Daten der beiden Schaltungen sind noch einmal in Tabelle 5.2 zusammengefasst.

Tab. 5.2: Daten des erweiterten Analysators und der dazugehörigen DLL.

	Analysator	DLL
Technologie	TEMIC/Atmel 70 GHz f_T SiGe	
Versorgungsspannung	-5 V (-4,8 V ... -5,2 V)	
Leistungsaufnahme	3,5 W	3,3 W
Transistoren	1486	1084
Chipfläche	$3 \times 3 \text{ mm}^2$	$3 \times 3 \text{ mm}^2$
Anzahl Bondpads	75	75
Abschlusswiderstände		
HF-Eingang	50 Ω on-Chip	
HF-Ausgang	100 Ω on-Chip	
DC Ein-/Ausgang	ESD-Schutz gegen <i>VEE</i> und <i>GND</i>	

5.7.1 Messergebnisse für die Phasenregelschleife

Von den insgesamt sechs in Bondtechnik aufgebauten Exemplaren zeigten nur einige die erwartete Funktion. Dieses gilt jedoch nur bis zu einer maximalen Eingangsfrequenz von 17 GHz, wobei der dreiphasige Takt oberhalb von ca. 15,5 GHz nicht mehr den Anforderungen des Analysators entspricht. Diese Werte liegen deutlich unterhalb der erwarteten Geschwindigkeit, da der Chip in Postlayout-Simulationen mit Frequenzen von über 20 GHz arbeitet. Die genaue Ursache für diese deutliche Abweichung konnte nicht gefunden werden, allerdings weisen auch die Testchips (vgl. Kap. 5.7.3) vergleichbare Geschwindigkeitseinbußen auf. Abb. 5.21 zeigt die drei Taktausgänge (Clk_1 bis Clk_3) der DLL bei einem Systemtakt von 15 GHz. Bei dieser Frequenz werden der nominelle Hub von 500 mV_{pp} und ein 1:1 Tastverhältnis gut erreicht. Da das verwendete Sampling-Oszilloskop nur mit vier Eingängen ausgestattet war, musste die Messung „single-ended“ durchgeführt werden. Die entsprechenden differentiellen Signale haben eine deutlich bessere, symmetrischere Signalform. Auch die Aussteuerungsüberwachung arbeitet wie erwartet und stellt sicher,

dass die DLL unter allen Bedingungen einrastet. Der Erfolg der schaltungstechnischen Verbesserungen in den Phasenschiebern konnte bei einem kontinuierlichen Durchfahren der Phasenlage der Eingangsfrequenz ebenfalls beobachtet werden, da dieses zu signifikant geringeren Tastverhältnisfehlern führt als bei dem ersten Entwurf.

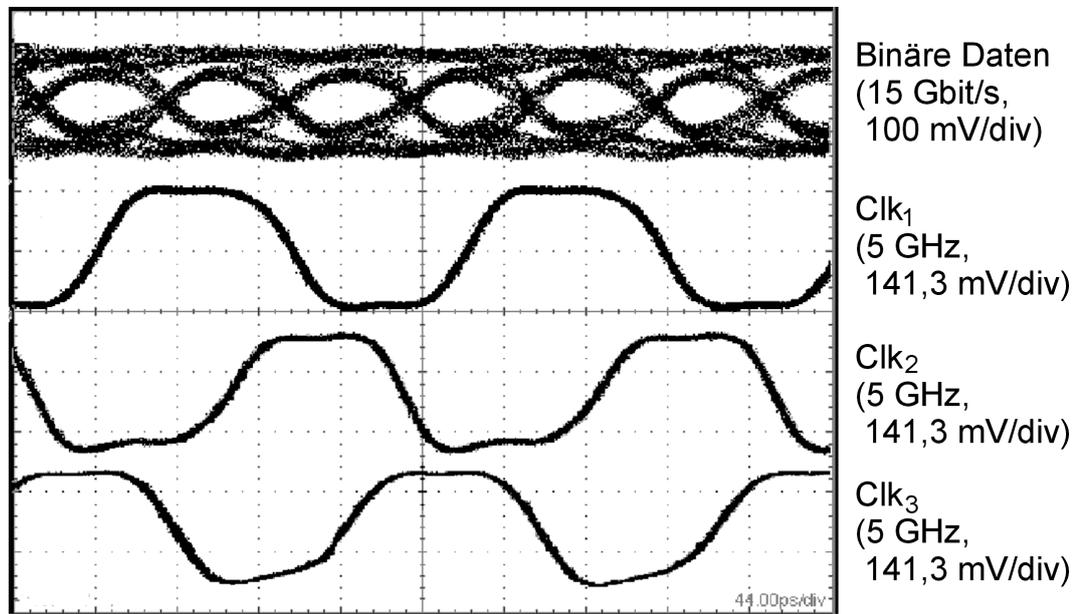


Abb. 5.21: Taktausgänge des dreiphasigen Takts der DLL bei 15 GHz (Die Messung erfolgte „single-ended“).

Zusätzlich wurden zwei Aufbauten in Flip-Chip-Aufbautechnik getestet. Deren Messergebnisse wichen allerdings nur unwesentlich von den in Bondtechnik aufgebauten Chips ab. Insgesamt stellte sich der Aufbau der Flip-Chip-Module aber als weniger anfällig bezüglich schlechter Kontakte zwischen Substrat und Chip heraus. Auch die zum Aufbau benötigte Zeit ist etwas geringer als für die Bondtechnik, da der Aufbau eines Flip-Chip-Moduls unabhängig von der Anzahl der Bondpads ist. Dies zeigt, dass die Flip-Chip-Aufbautechnik gerade für immer komplexer werdende Chips eine sinnvolle Alternative ist.

5.7.2 Messergebnisse für den erweiterten Analysator

Bereits während erster Gleichspannungstests zeigte sich, dass von den aufgebauten Analysatoren ebenfalls eine ganze Reihe nicht funktionstüchtig waren. Die verbleibenden Aufbauten zeigten zunächst im DC-Test bis auf eine um ca. 10% zu geringe Stromaufnahme die erwarteten Werte. Auch der Pfad vom Dateneingang zum binären Ausgang (vgl. Abb. 5.5) arbeitete den Entwurfs-

zielen entsprechend mit Datenraten von 20 Gbit/s. Allerdings lässt sich bei allen Aufbauten die Referenzspannung nicht ordnungsgemäß verstellen, was durch die herausgeführten Testausgänge $U_{RefPegel1,2}$ überprüfbar ist. Dieselbe Referenzspannungseinstellung mit identischem Layout wird jedoch auch bei dem Komparator-Testchip (Kap. 5.7.3) eingesetzt und arbeitet dort einwandfrei. Ohne die Einstellung der Referenzspannung lassen sich die weiteren Funktionen nicht überprüfen, so dass die ordnungsgemäße Funktion der gesamten Schaltung bislang nicht anhand von Messungen nachgewiesen werden konnte. Da in dem Projekt kein weiterer Technologiedurchlauf vorgesehen war, bestand keine Möglichkeit, diesen Fehler in einem Redesign, ggf. durch zusätzliche Schaltungsmaßnahmen, zu beheben.

5.7.3 Messergebnisse weiterer Chips

Auch in diesem Durchlauf wurden zusätzlich zwei Testchips gefertigt. Dabei handelt es sich um einen Takttreiber für 20 GHz mit zwei Ausgängen [73], sowie um einen Komparator inklusive Referenzspannungseinstellung und Ausgangstreibern. Diese Chips sollen einerseits dazu dienen, die Funktion des Komparators getrennt zu überprüfen. Andererseits soll der Takttreiber für eine bessere Taktverteilung in den Messaufbauten sorgen, da bei hohen Frequenzen die Verluste in Kabeln steigen und meist auch höhere Eingangshübe benötigt werden.

Tab. 5.3: Daten der Testchips aus dem zweiten Durchlauf (Komparator und Takttreiber).

	Komparator	Takttreiber
Technologie	TEMIC/Atmel 70 GHz f_T SiGe	
Versorgungsspannung	-5 V (-4,8 V ... -5,2 V)	
Leistungsaufnahme	0,28 W	0,65 W
Transistoren	158	43
Chipfläche	$1 \times 1 \text{ mm}^2$	$1 \times 1 \text{ mm}^2$
Bit-/Taktrate	20 Gbaud	20 GHz
Anzahl Bondpads	19	19
Abschlusswiderstände	50 Ω on-Chip	
HF-Eingang	50 Ω on-Chip	
HF-Ausgang	100 Ω on-Chip	50 Ω on-Chip
DC Ein-/Ausgang	ESD-Schutz gegen <i>VEE</i> und <i>GND</i>	

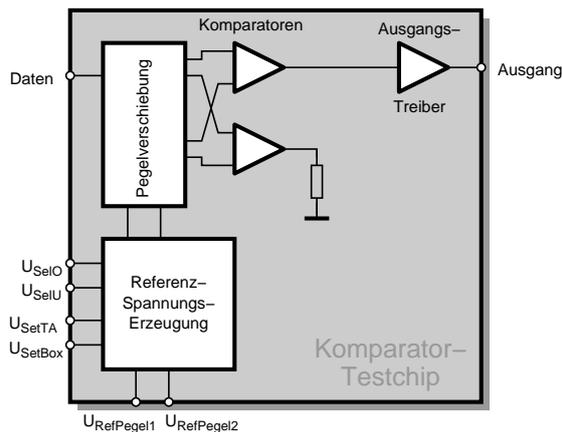


Abb. 5.22: Blockschaltbild des Komparator-Testchips.

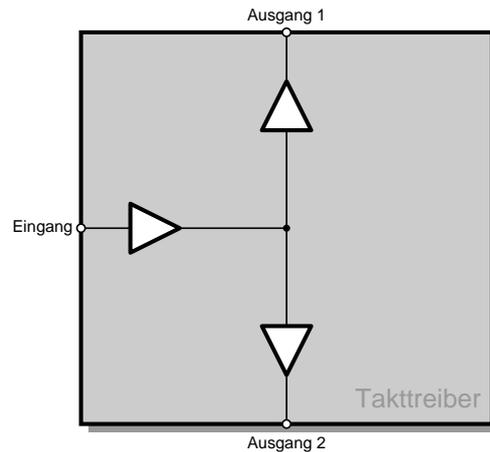


Abb. 5.23: Blockschaltbild des Takttreibers.

Messergebnisse für den Komparator-Testchip

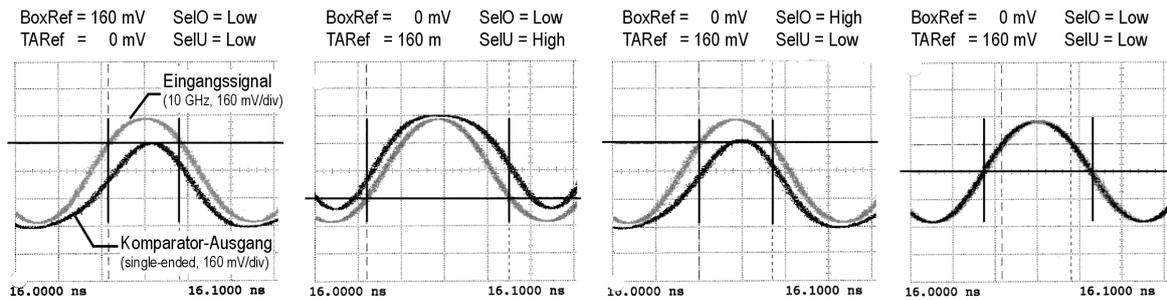
Der Komparator-Testchip (Abb. 5.22) dient der Funktionsprüfung des neuen Komparatorkonzepts für quaternäre Datensignale, sowie der dazugehörigen Referenzspannungseinstellung. Auf ein Abtast-Flip-Flop musste verzichtet werden, da sich dieses nicht mehr auf der für diesen Chip vorgesehenen Fläche von $1 \times 1 \text{ mm}^2$ unterbringen ließ⁹.

Die Schaltung reagiert wie gewünscht auf eine Verstellung der Referenzspannung mittels U_{DefTA} bzw. U_{DefBox} , sowie auf die Umschaltung zwischen den Teilaugen durch U_{SelO} und U_{SelU} . Dabei kann die Mittellage des oberen bzw. unteren Teilauges von 30 mV bis 660 mV eingestellt werden. Die maximal gemessene Abweichung beim Umschalten beträgt 20 mV, die typische hingegen nur ca. 10 mV. Die Höhe des Bewertungsrechtecks kann von 6 mV bis 340 mV verstellt werden, hierbei ist die Abweichung durch das Umschalten zwischen den Teilaugen kleiner als 1 mV.

In Abb. 5.24 ist das Ausgangssignal des Komparators für eine Ansteuerung mit einem 10 GHz Sinussignal bei verschiedenen Referenzspannungseinstellungen dargestellt. Zusätzlich sind die Lage der Referenzspannung, sowie die Schnittpunkte des Eingangssignals mit der Referenzspannung gekennzeichnet. Zunächst wurde das mittlere Auge gewählt, und eine Höhe des Bewertungsrechtecks von 320 mV eingestellt (Abb. 5.24a). Zum Vergleich wurden anschließend drei Messungen durchgeführt, bei denen die Höhe des Bewer-

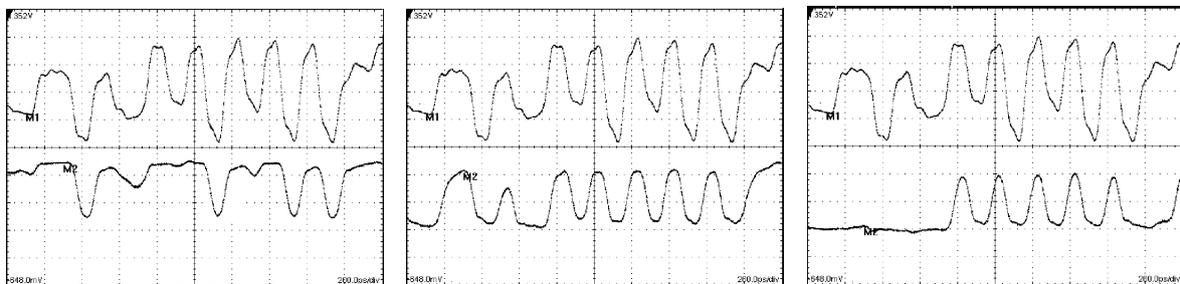
⁹Hierbei ist nicht allein der Flächenbedarf für das Flip-Flop entscheidend, sondern auch der für die zusätzlichen Bondpads.

tungsrechtecks auf das Minimum gesetzt und statt dessen eine Mittellage von 160 mV gewählt wurde. Anschließend wurden das untere, obere und mittlere Teilaue angewählt (Abb. 5.24b-5.24d). Hierbei verhält sich der Komparator wie gewünscht, d.h. immer wenn das Eingangssignal größer als die Referenz ist, wird der Ausgang „high“. Allerdings zeigte sich, dass der Komparator nicht die aus den Postlayout-Simulationen erwartete Geschwindigkeit aufweist, da die Flanken des Komparatorausgangs deutlich flacher ausfallen.



- a) Mittleres Teilaue gewählt, Höhe des Bewertungsrechtecks 320 mV.
 b) Unteres Teilaue gewählt, Höhe des Bewertungsrechtecks 6 mV, Höhe der Mittellage 160 mV.
 c) Oberes Teilaue gewählt, Höhe des Bewertungsrechtecks 6 mV, Höhe der Mittellage 160 mV.
 d) Mittleres Teilaue gewählt, Höhe des Bewertungsrechtecks 6 mV, Höhe der Mittellage 160 mV.

Abb. 5.24: Messung des Komparator-Testchips mit einem 10 GHz Eingangssignal.



- a) Unteres Teilaue gewählt b) Mittleres Teilaue gewählt. c) Oberes Teilaue gewählt.

Abb. 5.25: Messung des Komparator-Testchips mit einem 10 Gbaud Eingangssignal.

Die obere Kurve zeigt das differentielle Eingangssignal, die untere den differentiellen Ausgang des Komparators. Die Skalierung des Diagramms beträgt 200 ps/div in x-Richtung und 200 mV/div in y-Richtung.

In einem weiteren Test wurde der Komparator mit einem quaternären Datensignal bei 10 Gbaud angesteuert, welches mit Hilfe eines Encoders aus zwei 10 Gbit/s Datenströmen erzeugt wurde (Details in [67]). Hierbei wurde die Höhe des Bewertungsrechtecks minimal gewählt und die Mittellage dem

Eingangssignal entsprechend eingestellt. Die Abb. 5.25a-c zeigen das Eingangssignal, sowie die Ausgangsspannung bei Auswahl des jeweiligen Teilauges¹⁰. Auch hier ist erkennbar, dass der Ausgang des Komparators „high“ ist, wenn das Eingangssignal größer als die Referenzspannung ist.

Messergebnisse für den Takttreiber

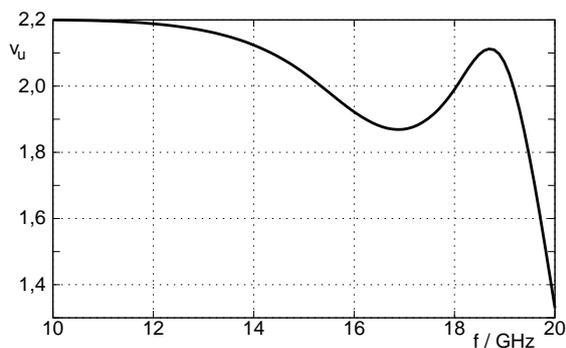


Abb. 5.26: Frequenzgang des Takttreibers, aufgebaut in Bond-Technik.

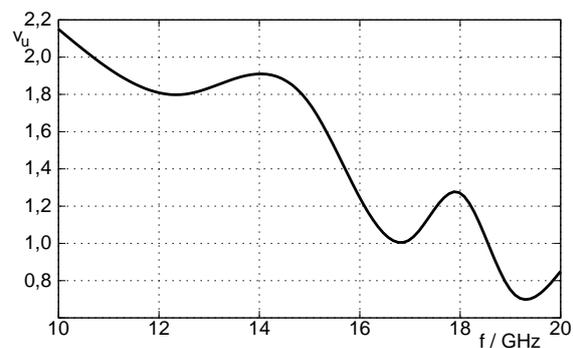


Abb. 5.27: Frequenzgang des Takttreibers, aufgebaut in Flip-Chip-Technik.

Der Takttreiber (vgl. Abb. 5.23) hat zwei Ausgänge, die jeweils einen Hub von $800 \text{ mV}_{\text{pp,diff}}$ an 50Ω aufweisen, wobei dieser Hub in Postlayout-Simulationen bei Frequenzen von über 20 GHz erreicht wurde [73]. In Abb. 5.26 ist der gemessene Verlauf der Spannungsverstärkung über der Frequenz für einen Eingangshub von $400 \text{ mV}_{\text{pp,diff}}$ aufgetragen. Hierbei zeigte sich jedoch ein deutlicher Verstärkungseinbruch ab ca. 19 GHz, d.h. die Schaltung ist deutlich langsamer als erwartet. Des Weiteren konnte eine leichte Absenkung der Verstärkung bei ca. 17 GHz beobachtet werden, so dass hier eine Resonanz entweder auf dem Chip oder im Aufbau vermutet werden muss.

Bei der Messung der in Flip-Chip-Technik aufgebauten Takttreiber ergab sich wider Erwarten ein schlechterer Frequenzgang (Abb. 5.27). Insbesondere ist hier der Einbruch bei 17 GHz wesentlich deutlicher ausgeprägt, wodurch der Verstärkungsverlauf insgesamt ungünstiger ausfällt, so dass ab 18,5 GHz die Spannungsverstärkung unter eins sinkt. Eine Ursache hierfür könnte die gegenüber den in Bondtechnik aufgebauten Schaltungen erhöhte Chip-

¹⁰Um diese Funktion des Komparators sichtbar zu machen, wurden hier keine Augendiagramme aufgenommen, sondern der Zeitverlauf des Signals. Dies ist möglich, da es sich bei der PRBS-Folge ebenfalls um ein repertierendes Signal (alle 2^{15} Bits) handelt und der PRBS-Generator einen Ausgang zur Synchronisation besitzt.

Temperatur sein. Diese kann mit einer auf dem Chip integrierten Temperaturdiode gemessen werden. Der Chip im konventionellen Aufbau erreichte hierbei ca. 60 °C, während die Flip-Chip-Temperatur bei ca. 90 °C lag. Die Simulationen erfolgten jedoch bei 100 °C, so dass sich beide Aufbauten noch innerhalb des erwarteten Rahmens bewegten.

Detailliertere Untersuchungen zu dem stärkeren Einbruch bei 17 GHz mit präziserer Modellierung der Flip-Chip-Technik als Vergleichsgrundlage waren an dieser Stelle wenig sinnvoll, da bereits die Messergebnisse der in Bond-Technik aufgebauten Schaltung sehr stark von den simulierten Werten abwichen.

5.8 Zusammenfassung zu Kapitel 5

In diesem Kapitel wurde eine Ausbaustufe des Augenmuster-Analysators beschrieben, welche ebenfalls als Chip realisiert wurde. Neben Verbesserungen der bereits existierenden Schaltungsstruktur wurde der Analysator für die Bewertung von quaternären Signalen erweitert. Die Erzeugung und einige Vor- und Nachteile von quaternären Signalen wurden daher zunächst kurz erläutert. Um diese mehrwertigen Signale, bei denen drei Augenöffnungen (Teilaugen) übereinander liegen, zu bewerten, wurde vor allem die Komparatorschaltung angepasst. Durch Logikpegel kann dabei zwischen der Bewertung des oberen, mittleren und unteren Auges ausgewählt werden. Hierdurch können ggf. alle Teilaugen nacheinander bewertet werden. Eine gleichzeitige Bewertung aller Teilaugen hätte hingegen den Schaltungsaufwand so erhöht, dass eine Integration kaum noch möglich gewesen wäre. Um die Umschaltung zwischen den Teilaugen zu realisieren, wurde ein zweistufiges differentielles Komparatorkonzept entworfen, welches mit Pegelverschiebungen an Emitterwiderständen arbeitet. Bei Testchips konnte die Mittellage des oberen bzw. unteren Teilauges zwischen 30 mV und 660 mV mit einer typischen Abweichung von <10 mV eingestellt werden. Die Höhe des Bewertungsrechtecks konnte zwischen 6 mV und 340 mV mit einem Fehler durch das Umschalten der Teilaugen von <1 mV variiert werden.

Des Weiteren wurde ein dreiphasiger Abtasttakt realisiert, dessen Frequenz nur ein Drittel des Systemtaktes beträgt. Der größere Aufwand für die Erzeugung dieses Taktes rechtfertigt sich vor allem dadurch, dass dann alle Kanäle eines Zeitmultiplex-Signals gleich häufig abgetastet werden. Da in der synchronen digitalen Hierarchie (SDH) immer vier Kanäle zu einem höherwertigen zusammengefasst werden, sollte der Abtasttakt für eine gleichmäßige Abtastung durch ein ungerades Teilverhältnis realisiert werden. Da der erweiterte Augenmuster-Analysator auch binäre Datenströme bewerten kann, ist er prinzipiell dem in Kapitel 4 entworfenen Analysator vorzuziehen.

Da die Komplexität des erweiterten Analysators deutlich zugenommen hat, und da es aufgrund der Reticle-Aufteilung fest vorgegebene Chipgrößen gab, wurde eine Zwei-Chip-Lösung gewählt. Dabei wurden die DLL und der Analysator auf getrennten Chips untergebracht, wobei jedoch auf eine einfache Verbindungsmöglichkeit geachtet wurde. Nebenbei hat diese Aufteilung noch den Vorteil, dass die einzelnen Komponenten besser testbar sind.

Beide Chips haben jeweils eine Fläche von $3 \times 3 \text{ mm}^2$, auf der 1486 (Ana-

lysator) bzw. 1084 Transistoren (DLL) untergebracht sind, was im Vergleich zu den insgesamt 1268 Transistoren des ersten Augenmuster-Analysators einer deutlichen Erhöhung der Komplexität entspricht. Der Leistungsbedarf der Chips liegt bei 3,5 W bzw. 3,3 W, d.h. die Verlustleistung pro Chipfläche ist zwar geringer und somit unkritischer als beim vorangegangenen Analysator, die insgesamt benötigte Leistung ist jedoch größer. Auch hier ist sicherlich noch Spielraum für Einsparungen, insbesondere wenn die gesamte Schaltung auf einem Chip realisiert wird und somit einige Ausgangstreiber entfallen.

Die aufgebauten Testchips der DLL arbeiteten bis zu Eingangsfrequenzen von 17 GHz, wobei der dreiphasige Ausgangstakt jedoch ab ca. 15,5 GHz nicht mehr den Anforderungen des Augenmuster-Analysators genügte. Diese Frequenz liegt deutlich unterhalb der aus Postlayout-Simulationen erwarteten Arbeitsfrequenz. Bei allen Analysator-Testaufbauten hingegen war u.a. die Einstellung der Referenzspannungen und die Umschaltung der Teilaugen nicht möglich, wodurch auch die weiteren Funktionen nicht getestet werden konnten. Die korrekte Funktion der Komparatoren, sowie die Umschaltung der Teilaugen, wurden jedoch erfolgreich an Testchips überprüft. Da die Komparatoren eine der wesentlichen Änderungen im Vergleich zum Entwurf aus Kap. 4 waren, kann davon ausgegangen werden, dass die Erweiterung auf quaternäre Signale prinzipiell funktioniert. Insgesamt bleibt also festzuhalten, dass wesentliche Funktionen des erweiterten Analysators an Testaufbauten überprüft werden konnten.

Ausblick – Eine weitere Variante eines Augenmuster-Analysators

In diesem Kapitel soll ein weiterer Ansatz zur Realisierung eines Augenmuster-analysators vorgestellt werden. Dieser kommt der Abbildung eines Augendiagramms (mit eingeschränkter Auflösung) auf einem Sampling-Oszilloskop sehr nahe. Da sich die Schaltung jedoch aufgrund der benötigten Speicherzellen nur in einer BiCMOS-Technologie implementieren lässt, welche jedoch im Rahmen des Projektes nicht zur Verfügung stand, wurde dieser Ansatz für die Realisierung des Augenmuster-Analysators nicht weiter verfolgt. Allerdings wurden im Rahmen zweier Studienarbeiten die kritischen Blöcke näher untersucht [74, 75], um prinzipielle Aussagen über die Machbarkeit dieses Ansatzes zu gewinnen. Die daraus resultierenden Ergebnisse sollen hier dargelegt werden.

6.1 Abtastung des Auges

Die hier beschriebene Schaltungsstruktur soll einen etwas anderen Weg einschlagen, als die bisher vorgestellten Augenmuster-Analysatoren. Da in dem System der elektronischen Signalverarbeitung (Abb. 1.3) bereits ein Mikrocontroller vorhanden ist, kann dieser auch zur Bewertung des Augenmusters herangezogen werden. Allerdings soll weiterhin gelten, dass der Mikrocontroller nicht aktiv an der Messung beteiligt ist. Aufgabe der Schaltung ist nun, dem Mikrocontroller ein dem Augendiagramm auf einem Sampling-Oszilloskop ähnliches Abbild zur Verfügung zu stellen, anhand dessen die aktuelle Signalgüte bestimmt werden kann. Um den Anforderungen der elektronischen Kompensation von Polarisationsmodendispersion gerecht zu werden, soll die Messdauer unter einer Millisekunde liegen. Die Abbildung des Augendiagramms ermöglicht auch weitergehende Analysen, wie z.B. die Bestimmung der Fehlerquelle. Da eine direkte Abtastung eines hochbitratigen Datensignals nicht möglich ist, soll, wie auch bei Sampling-Oszilloskopen, mit Unterabtastung gearbeitet werden.

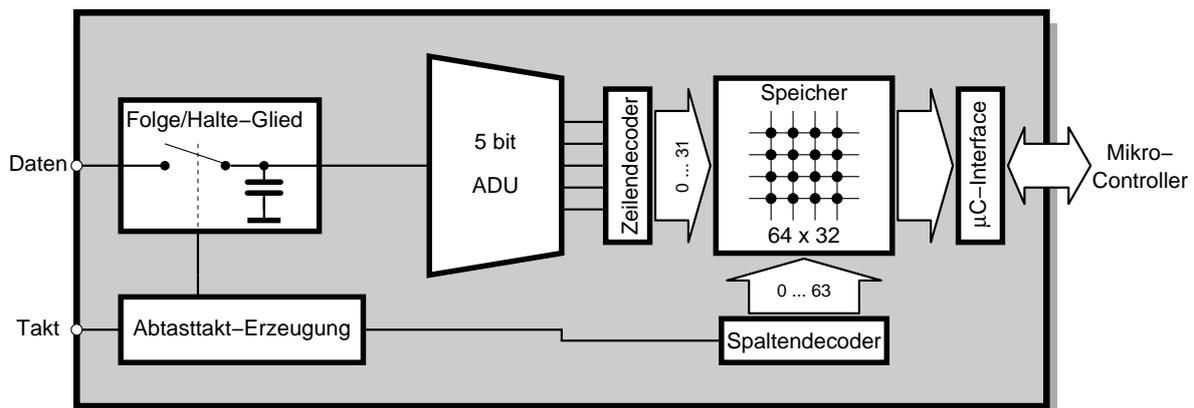


Abb. 6.1: Blockschaltbild einer weiteren Schaltung zur Abtastung des Datensignals.

In Abb. 6.1 ist das Blockdiagramm einer geeigneten Abtastschaltung dargestellt. Der Systemtakt (10 GHz) steuert die gesamte Schaltung, d.h. alle benötigten Signale werden mit Hilfe der Abtasttakt-Erzeugung daraus abgeleitet. Das Datensignal wird durch eine Folge-/Halte-Schaltung abgetastet und anschließend in einen 5 bit Digitalwert gewandelt. Abhängig von diesem Digitalwert und dem Abtastzeitpunkt wird ein entsprechendes Bit in der Speichermatrix gesetzt, so dass schrittweise ein Augendiagramm entsteht. Im Wesentlichen werden folgende Anforderungen gestellt:

- Die Schaltung soll **Eingangsdatenraten bis 10 Gbit/s** verarbeiten können.
- Das Augendiagramm soll aus einem **einzelnen Auge** bestehen, welches mit einer **Auflösung von mindestens 64×32 Bildpunkten** gespeichert wird.
- Die **Abtastrate** soll deutlich höher als bei herkömmlichen Sampling-Oszilloskopen sein. Hier wird eine Abtastung mit ca. 500 MHz angestrebt, so dass ein aussagekräftiges Augendiagramm bereits in deutlich unter einer Millisekunde aufgenommen ist.

Der Speicher, sowie die erforderliche Mikrocontroller-Schnittstelle, können aufgrund ihrer hohen Komplexität nur in einer CMOS-Technologie effizient realisiert werden. Im Gegensatz dazu erfordert die hohe Abtastrate den Einsatz einer Bipolar-Technologie, so dass die gesamte Schaltung nur in einem modernen BiCMOS-Prozess realisiert werden kann. Als besonders kritisch sind die Folge-Halte-Schaltung und die Takterzeugung anzusehen. Diese wurden daher näher untersucht, um Aussagen über die Machbarkeit dieser Schaltungsvariante zu erhalten.

6.2 Folge-/Halte-Schaltung

Die Folge-/Halte-Schaltung, welche bei Unterabtastung zwingend erforderlich ist, hat die Aufgabe, dem nachfolgenden Analog-Digital-Umsetzer hinreichend lange ein konstantes Eingangssignal zur Verfügung zu stellen. Hierbei wurde die bereits für den erweiterten Augenmuster-Analysator eingesetzte SiGe-Bipolar-Technologie mit einer Transitfrequenz von 70 GHz zu Grunde gelegt (Kap. A.2). Als Schaltungskonzept wurde eine Anordnung aus zwei geschalteten Emitterfolgern (je einer für das nichtinvertierte bzw. invertierte Signal) verwendet. Durch zusätzliche Maßnahmen wurden Haltedrift, Durchgriff und Klirrfaktor deutlich reduziert. Damit konnten in Simulationen die in Tab. 6.1 dokumentierten Ergebnisse erzielt werden [74]. Die hierbei erreichten > 5 bit Auflösung entsprechen dabei im Augendiagramm > 32 Bildpunkten in y-Richtung.

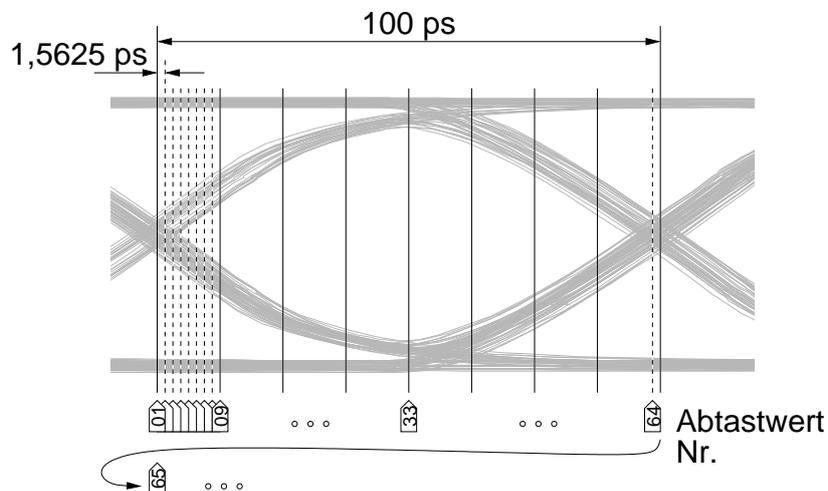
Daraus lässt sich entnehmen, dass prinzipiell eine Folge-/Halte-Stufe mit den geforderten Daten realisierbar ist. Allerdings ist die entworfene Schaltung relativ empfindlich gegenüber parasitären Kapazitäten, so dass auf ein extrem symmetrisches und sorgfältiges Layout geachtet werden muss. Es wurde inzwischen jedoch in der internationalen Fachliteratur eine Folge-/Halte-Schaltung

Tab. 6.1: Simulationsergebnisse der Folge-/Halte-Schaltung.

Eingangsspannungshub	1 V _{pp}
Versorgungsspannung	-5 V
Verlustleistung	210 mW
Haltedrift	< 5,6 mV/ns für C _H = 50 fF < 0,8 mV/ns für C _H = 100 fF
Klirrfaktor	< 0,8 % für C _H = 50 fF < 2,5 % für C _H = 100 fF
Analoge Bandbreite	11 GHz
Durchgriff	< 3 mV (bei 5 GHz und 1 V _{pp})
Auflösung	> 5 bit

mit einer Bandbreite von 10 GHz in SiGe-BiCMOS-Technologie vorgestellt, die mit einer Abtastfrequenz von 4 GHz arbeitet und dabei eine Auflösung von >6 bit erreicht [76]. Daraus kann geschlossen werden, dass sich eine geeignete Folge-/Halte-Stufe in einer aktuellen BiCMOS-Technologie realisieren lässt.

6.3 Takterzeugung

**Abb. 6.2:** Abtastung des Auges.

Wie bereits erwähnt, soll das Auge in x-Richtung mit 64 Bildpunkten aufgelöst werden, d.h., die 65. Abtastung erfolgt wieder zu Beginn des Auges usw. (Abb. 6.2). Dieses Verfahren der Unterabtastung wird im Allgemeinen als sequentielle gleichmäßige Zeitabtastung (SETS=sequential equivalent time

sampling) bezeichnet. Weitere übliche Abtastverfahren sind z.B. die zufällige äquivalente Abtastung (RETS=random equivalent time sampling) und die Echtzeitabtastung (RTS=real time sampling), welche bei den hier vorliegenden hohen Datenraten nicht möglich ist.

Ein geeigneter Ansatz zur Erzeugung des Abtasttakts ist die Ableitung aus dem vorhandenen Systemtakt. Um in x-Richtung eine Auflösung von 64 Bildpunkten zu erzielen, wird ein Takt benötigt, welcher einen entsprechenden Frequenzoffset besitzt, d.h. bei einem Datensignal mit einer Bitrate von 10 Gbit/s muss jede Abtastung um

$$\frac{100 \text{ ps}}{64} = 1,5625 \text{ ps} \quad (6.1)$$

versetzt erfolgen.

Wird ein Systemtakt von 10 GHz zugrundegelegt, und soll eine Abtastung eines jeden 16. Auges¹ erfolgen, so ergibt sich als genaue Zeitdauer zwischen zwei Abtastungen (bzw. als Abtastfrequenz):

$$16 \cdot 100 \text{ ps} + 1,5625 \text{ ps} = 1,6015625 \text{ ns} \hat{=} 624,3902439 \text{ MHz} \quad (6.2)$$

Die Schwierigkeit liegt darin, diese Abtastfrequenz hinreichend genau aus dem Systemtakt abzuleiten. In [75] wurden Untersuchungen zur Verwendung eines Konzeptes, bestehend aus Frequenzteilern und Mischern, durchgeführt². Eine geeignete Schaltung zeigt Abb. 6.3.

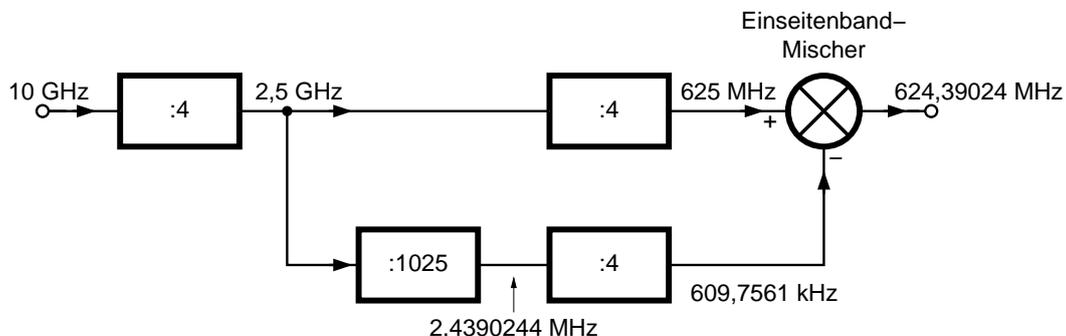


Abb. 6.3: Schaltung zur Ableitung eines geeigneten Abtasttakts.

Der Systemtakt wird zunächst einmal durch vier und danach im oberen Zweig nochmals durch vier geteilt, so dass an dieser Stelle $\frac{1}{16}$ des Systemtakts

¹Hier ist die Verwendung eines geraden Teilverhältnisses unkritisch, da aufgrund des Frequenzversatzes nach 64 Abtastungen auf einen anderen Multiplexerkanal gewechselt wird, so dass alle Kanäle eines Zeitmultiplexsignals gleichmäßig abgetastet werden.

²Dabei wurden günstigere Teilverhältnisse zu Grunde gelegt, da eine derartige Takterzeugung zunächst prinzipiell betrachtet werden sollte.

anliegen. Im unteren Zweig wird der Takt durch 1025 und anschließend durch vier geteilt. Diese Anordnung wurde bewusst gewählt, obwohl durch einen 16:1-Frequenzteiler zu Beginn einige Bauelemente eingespart werden könnten. Der Vorteil hierbei ist, dass der aus dem 1025:1-Teiler resultierende Takt mit einem asymmetrischen Tastverhältnis durch eine erste Teilung durch zwei in einen Takt mit symmetrischem Tastverhältnis umgewandelt wird. Die nachfolgende weitere Halbierung des Takts ergibt dann bei Verwendung des üblichen MS-D-FF-Konzeptes einen Quadraturtakt zur Ansteuerung des Einseitenband-Mischers. Zur Erläuterung der Funktionsweise eines Einseitenband-Mischers sei z.B. auf [77] verwiesen.

In Simulationen, basierend auf einer BiCMOS-Technologie [78], zeigte sich, dass es schwierig ist, das Abtastsignal mit hinreichend kleinem Jitter (Peak-to-peak Jitter kleiner 1,5625 ps bzw. 0,1 %) zu erzeugen. Der Einsatz einer Phasenregelschleife mit Oszillator könnte an dieser Stelle bessere Ergebnisse liefern.

6.4 Simulationsergebnis

In Abb. 6.4 sind zwei Augendiagramme mit einer Auflösung von 64×32 Bildpunkten als Ergebnis von Simulationen bei 10 Gbit/s dargestellt. Dabei wurde jedoch ausschließlich die Folge-/Halte-Stufe auf Transistor-Ebene realisiert; der Takt, sowie der A/D-Umsetzer sind durch entsprechende Makromodelle ersetzt worden. Diese Abbildung soll vor allem auch verdeutlichen, dass mit dieser Auflösung bereits aussagekräftige Augendiagramme entstehen.

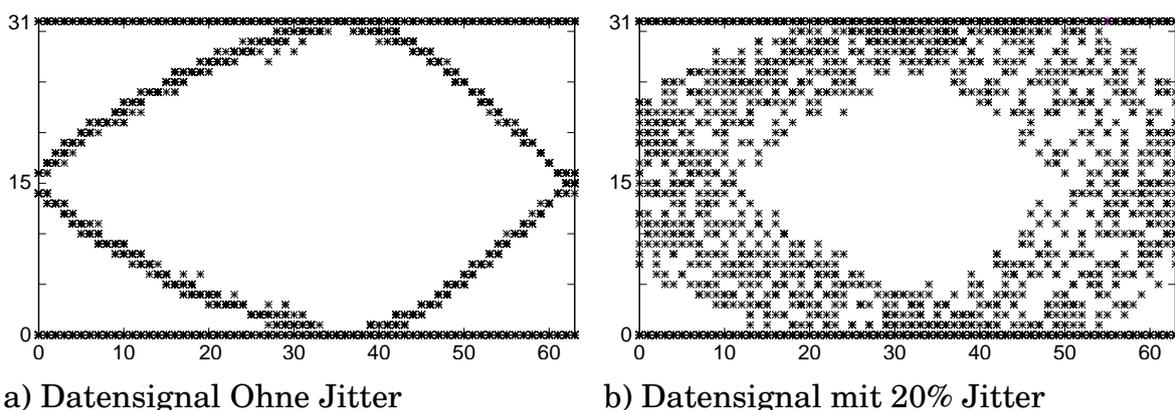


Abb. 6.4: Augendiagramm bei 10 Gbit/s, simuliert mit Folge-/Halte-Stufe auf Transistorbasis, sowie Takterzeugung und A/D-Umsetzer als Makromodelle.

Insgesamt können mit dieser Methode ebenfalls hinreichend genaue Aussagen über die Augenöffnung gemacht werden, wobei bei einer Messdauer von einer Millisekunde fast 10000 „Strahldurchläufe“ stattgefunden haben, so dass im Augendiagramm ausreichend viele Messwerte enthalten sind. Ebenso wäre es denkbar, statt der Speichermatrix Zähler einzusetzen, um ein Histogramm wie in Kap. 3.2.3 erläutert, zu erhalten.

6.5 Zusammenfassung zu Kapitel 6

In diesem Kapitel wurde kurz ein alternativer Ansatz zur Augenmuster-Analyse vorgestellt, wobei die Schaltung im Wesentlichen das Signal, ähnlich wie ein Sampling-Oszilloskop, abtastet und in einem Speicher abbildet. Diese Variante benötigt jedoch zwingend eine BiCMOS-Technologie, welche sowohl schnelle SiGe-Bipolarkomponenten, als auch gute CMOS-Digitalkomponenten enthält. Außerdem sollte aufgrund der komplexeren Logik bzw. des erforderlichen Speichers möglichst eine Hochsprache zur Synthese des digitalen Schaltungsblocks zur Verfügung stehen. Während des Entwurfes der Augenmuster-Analysatoren waren entsprechende Technologien noch nicht verfügbar. Inzwischen sind auf diesem Gebiet große Fortschritte gemacht worden, so dass das in diesem Kapitel nur kurz vorgestellte Konzept bei einem erneuten Entwurf sicherlich genauer untersucht werden sollte.

Zusammenfassung

Im Rahmen der vorliegenden Arbeit wurden monolithisch integrierte Augenmuster-Analysatoren zur Bewertung der Übertragungsqualität bei hochbitratigen glasfasergebundenen Übertragungssystemen entworfen. Diese Schaltungen ermöglichen in Kombination mit entsprechenden elektronischen Equalizern die Kompensation von unerwünschten Verzerrungen, insbesondere der Polarisationsmodendispersion.

Bislang sind zwar einige Konzepte zur Bewertung der Signalqualität in der Fachliteratur vorgestellt worden [39, 43, 45], diese eignen sich jedoch nur bedingt oder gar nicht, wenn eine Kompensation der Polarisationsmodendispersion erfolgen soll. Im Gegensatz zu anderen Anwendungen, bei denen es im Wesentlichen auf die reine Überwachung der Signalqualität ankommt, ist bei der Polarisationsmodendispersion eine schnelle Auswertung erforderlich, da sich diese im Millisekundenbereich verändern kann [30, 31]. Bei den hier entworfenen Schaltungen standen somit zwei Merkmale im Vordergrund: zum einen muss die Schaltung hinreichend schnell das Signal auswerten, und zum anderen muss die Schaltung in einer Silizium-Germanium-Bipolartechnologie integrierbar sein.

Das in den Augenmuster-Analysatoren verwendete Konzept zur Bewertung basiert auf einem Bewertungsrechteck, welches durch einer auf dem Chip integrierten Phasenregelschleife (DLL) in der Augenmitte platziert wird. Die Höhe dieses Rechtecks wird dabei durch eine äußere Spannung fest vorgegeben, die Breite hingegen wird mit Hilfe einer Regelschleife anhand von Abtastwerten und einer Bewertungslogik der aktuellen Augenöffnung angepasst. Daraus resultiert eine Ausgangsgröße, die eine lineare Abhängigkeit von der horizontalen Augenöffnung aufweist. Da jedes zweite Auge (bzw. jedes dritte Auge beim erweiterten Analysator) abgetastet wird, und so entsprechend viele Messwerte innerhalb kürzester Zeit vorliegen, reagiert die Schaltung sehr schnell auf Änderungen der Signalqualität.

Dieses Konzept wurde anschließend in zwei Durchläufen in Silizium-Germanium-Bipolartechnologie [79] realisiert, wobei zunächst ein Analysator für Signale mit einer Datenrate von 10 Gbit/s entworfen wurde [80].

Durch Messungen wurde die Funktion des in Testfassungen montierten Chips überprüft. Für den ersten Entwurf ergaben sich Messergebnisse, welche gut mit den simulierten Daten übereinstimmen. Der Chip enthält 1268 Transistoren auf einer Fläche von $3 \times 3 \text{ mm}^2$ und verbraucht 4,95 W bei einer Versorgungsspannung von -5 V. Die maximale Eingangsdatenrate liegt bei 10,5 Gbit/s für den vollständigen Analysator mit DLL. Eine zusätzliche Version ohne DLL arbeitet bis 12,5 Gbit/s. Der Hub der Ausgangsspannung beträgt dabei mehr als 350 mV für eine Änderung der Augenöffnung von 70 % auf 10 %, wobei die Messung in weniger als einer Millisekunde erfolgt. Somit reagiert der Augenmuster-Analysator empfindlich und schnell genug, um auch in einem System zur Kompensation der Polarisationsmodendispersion eingesetzt zu werden.

Die erweiterte Version des Augenmusteranalysators ist zur Bewertung von quaternären Datensignalen bis 20 Gbaud ($\cong 40 \text{ Gbit/s}$) ausgelegt. Neben dem Erreichen der höheren Datenrate sind weitere Verbesserungen realisiert worden. So kann z.B. mit TTL-Signalen zwischen oberem, mittlerem und unterem Teilaug des quaternären Signals gewählt werden, wobei der Analysator weiterhin kompatibel zu binären Datensignalen bleibt. Des Weiteren wird jedes dritte Auge bewertet, was den Vorteil hat, dass alle Kanäle eines Zeitmultiplex-Signals gleichhäufig abgetastet werden. Aufgrund von Vorgaben der Chipgröße auf dem Projekt-Reticle, und da sich bereits bei der ersten Analysator-Version die Verlustleistung als kritisch erwies, wurde eine Zwei-Chip-Lösung gewählt, bei der Analysator und DLL auf getrennten Chips angeordnet sind, wodurch auch der Test der Teilschaltungen vereinfacht wird. Hierbei belegen beide Chips je eine Fläche von $3 \times 3 \text{ mm}^2$, wobei die Anzahl der Transistoren mit 1486 (Analysator) bzw. 1084 (DLL) deutlich zugenommen hat. Der Leistungsverbrauch bei einer bei einer Versorgungsspannung von -5 V liegt bei 3,5 W (Analysator) bzw. 3,3 W (DLL).

Bei den Messaufbauten wurde in diesem Durchlauf, zusätzlich zur konventionellen Bondtechnik, das erste Mal am Lehrstuhl für Integrierte Schaltungen ein Teil der Chips mit Hilfe der Flip-Chip-Technik montiert. Diese Technik hat vor allem eine deutliche Reduzierung der unerwünschten Bondinduktivitäten zur Folge. Des Weiteren vereinfacht die Flip-Chip-Technik die Montage vor allem bei komplexen Chips deutlich, so dass sie eine sinnvolle Alternative zur Bondtechnik darstellt.

Testaufbauten der DLL zeigten in Messungen bei Eingangstaktraten bis zu 15 GHz die gewünschte Funktionen, d.h. es wird ein dreiphasiger Takt mit $\frac{1}{3}$ der Eingangstaktrate erzeugt und auf das Datensignal synchronisiert. Bei höheren Frequenzen hingegen entsprachen die Ausgangssignale nicht mehr den Anforderungen des Analysators. Bei den aufgebauten Analysatoren hingegen ließen sich die Referenzspannungen nicht ordnungsgemäß einstellen, so dass eine weitere Funktionsprüfung nicht möglich war. Da das Kernelement des Analysators, der Komparator für quaternäre Signale und die dazugehörige Schaltung zur Einstellung der Referenzspannungen und Auswahl der Teilaugen, auf einem zusätzlichen Testchip untergebracht wurden, konnten diese Komponenten trotzdem erfolgreich getestet werden. Die Mittellage des oberen/unteren Teilauges, sowie das Bewertungsrechteck ließen sich auf diesem Testchip wie gewünscht einstellen. Auch der Komparator, sowie ein weiterer Testchip mit einem Takttreiber, zeigten ähnliche, von den Postlayout-Simulationen abweichende, Geschwindigkeitseinbußen wie die DLL. Um die Ursachen der Fehlfunktionen beim erweiterten Analysator genauer bestimmen und die Schaltung entsprechend korrigieren zu können, wäre ein weiterer Fertigungsdurchlauf wünschenswert gewesen. Dieser war jedoch im Rahmen des Projektes nicht vorgesehen.

Das in der vorliegenden Arbeit entwickelte Bewertungsverfahren für Augenmuster wurde somit sowohl an binären als auch an quaternären Datensignalen getestet, wobei die Ergebnisse den Erwartungen entsprechen. Im Vergleich zu bislang vorgestellten Konzepten beträgt die Messdauer zur Augenöffnungsbewertung, d.h. die Messung erfolgt nahezu in Echtzeit und detektiert auch schnelle Änderungen. Durch die Verwendung eines Bewertungsrechtecks erfolgt die Messung nicht nur auf einen Abtastpunkt bezogen wie bei der Pseudo-Fehlerratenmessung, sondern es wird die gesamte Augenöffnung betrachtet. Des Weiteren wird kein Mikrocontroller zur Steuerung der Messung benötigt. Die Schaltung ist gut auf einem Chip integrierbar, wobei in Kombination mit einer Takt- und Datenrückgewinnungsschaltung auf demselben Chip viele Komponenten, wie z.B. die DLL, entfallen können. Daher ist das entworfene Konzept eine kostengünstige und effektive Lösung, um die Übertragungsqualität zu bestimmen und entsprechende Kompensationsmaßnahmen ergreifen zu können.

Anhang

A.1 Benutzte Hilfsmittel

Im Wesentlichen wurden folgende Hilfsmittel für die vorliegende Arbeit eingesetzt: Als Rechner wurde überwiegend eine Sun Ultra Sparc II unter Solaris 2.6 bzw. Solaris 8 mit KDE2 Oberfläche eingesetzt. Weiterhin wurde ein unter Windows98 betriebener Laptop verwendet. Die Dissertation wurde mit dem Textsatzsystem LaTeX mit der Erweiterung pdfLaTeX [82] erstellt. Alle Schaltungssimulationen erfolgten mit Avant! HSpice in Versionen bis 99.2 [83]; HDL-A-Simulationen¹ wurden mit ELDO [47] von Anacad (jetzt Mentor Graphics) durchgeführt. Entworfen wurden die Schaltungen mit der Entwurfssoftware Cadence Design Framework II (Version 4.3.4 bzw. 4.4.2) [84]. Weiterhin wurden das Freeware-Paket gnuplot [85] zur Darstellung von Diagrammen, xfig [86] und CorelDraw 8.0 [87] zur Zeichnungserstellung sowie Aplac [88] und Sonnet em Suite [89] zur Simulation der Mikrostreifenleitungen eingesetzt.

A.2 Halbleitertechnologie

Für beide Entwürfe wurden Silizium-Germanium (SiGe)-Technologien der Firma Atmel wireless μ C [90], früher Temic Semiconductors, verwendet. Dabei handelt es sich um Erweiterungen der kommerziell verfügbaren SiGe-Technologien SiGe1 und SiGe2 [91, 79].

Der erste Entwurfsdurchlauf erfolgte dabei mit einem an die SiGe1-Technologie angelehnten Prozess, der erweiterte Analysator hingegen wurde in einem der SiGe2-Technologie ähnlichen Prozess gefertigt. In Tabelle A.1 sind einige Daten dieser beiden Technologien angegeben. Zum Vergleich enthält die

¹HDL-A = Hardware Description Language-Analog, Hardwarebeschreibungssprache für analoge Schaltungen.

Tabelle weitere Daten von in der aktuellen Fachliteratur publizierten SiGe-Technologien.

Zusätzlich bieten die verwendeten SiGe1- und SiGe2-Technologien noch folgende Bauelemente:

- **Drei Widerstandstypen** mit niedrigem, mittlerem und hohem Schichtwiderstand.
- **Zwei Metallisierungsebenen** (bei SiGe2 existiert noch eine zusätzliche dritte Metallisierung, welche aber nur für Induktivitäten hoher Güte verwendet wird).
- **Kondensatoren** zwischen Metall 1 und einer niederohmigen Poly-Si-Schicht.
- **ESD-Dioden** zum Schutz der Schaltung vor elektrostatischen Entladungen.

Tab. A.1: Vergleich einiger SiGe-Technologien (Stand Dezember 2001).

Anbieter	Anmerkung	min. Emitter (μm)	Basisbahn- widerst. ($\frac{\text{k}\Omega}{\square}$)	β	f_T / f_{max} (GHz)	BV_{CEO} (V)	Lit.
Atmel	SiGe1 (DHBT)	0,8	1,5	180	50 / 50	3	[91]
Atmel	SiGe2 (DHBT)	0,5	3,0	250	70 / 80	2,5	[79]
Lucent/Bell	COM2 / BiCMOS	0,28	10	100	58 / 102	3,6	[92]
IHP	SiGe:C / BiCMOS	0,8	1,3	200	55 / 90	3,3	[78]
Hitachi	SHBT	0,2	20	1900	90 / 107	2,0	[93]
IBM	BiCMOS / SHBT	0,18	k.A.	200	90 / 90	2,5	[94]

Im Unterschied zur Standard-Bipolartechnologie wird bei der Silizium-Germanium-Technologie in die Basis ein Germanium-Anteil von typ. 15-30% eingebracht. Dabei existieren zwei Konzepte:

- a) Die Basis wird mit einem **Gradienten**-Verlauf dotiert, d.h. die Konzentration des Germaniums beträgt am emitterseitigen Rand 0% und nimmt zum Kollektor hin kontinuierlich zu (Abb. A.1). Dieser von IBM entwickelte Transistor [95] wird Single-Heterobipolartransistor (SHBT) genannt, da hier nur der Basis-Kollektor-Übergang ein Heteroübergang ist. Weil ein Driftfeld entsteht, welches die Elektronen auf ihrem Weg durch die Basis beschleunigt, wird dieser Typ auch als Drift-Transistor bezeichnet. Durch dieses Driftfeld wird im Wesentlichen die Basis-Transitzeit τ_b reduziert, wodurch wiederum die Transitfrequenz f_T deutlich ansteigt [96].

b) Die Basis enthält einen **konstanten** Germaniumanteil (Abb. A.2). Dieser Transistortyp wurde zuerst von Daimler vorgestellt [97]. Da hier beide pn-Übergänge, d.h. Basis-Emitter und Basis-Kollektor-Übergang, als Heteroübergänge vorliegen, wird dieser Typ auch Doppel-Heterobipolartransistor (DHBT) oder „Echter HBT“ genannt. Bei dieser Art von Germanium-Profil wird vor allem die Stromverstärkung β stark angehoben. Durch eine dann mögliche höhere Basisdotierung kann das hohe β durch eine Verringerung des Basisbahnwiderstandes R_b ersetzt werden, was ebenfalls einer Erhöhung der Schaltfrequenz zu Gute kommt. Weiterhin existieren noch Mischformen, d.h. z.B. ein trapezförmiges Germaniumprofil [96].

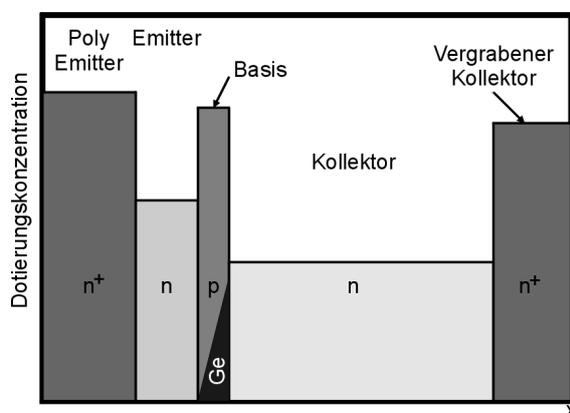


Abb. A.1: Qualitativer Dotierungsverlauf eines Single-Heterobipolartransistors.

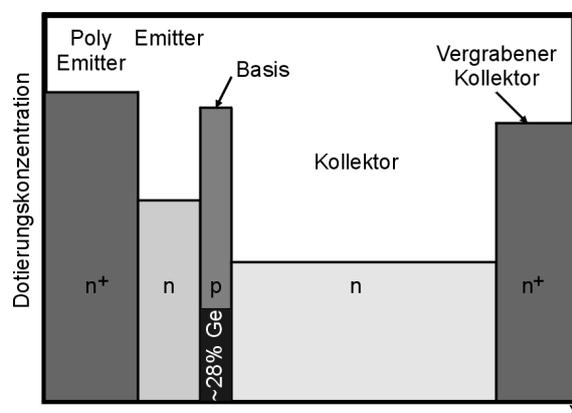


Abb. A.2: Qualitativer Dotierungsverlauf eines Doppel-Heterobipolartransistors.

Zusammenfassend weisen SiGe-HBTs folgende Vorteile auf:

- Die Transitfrequenz ist im Vergleich zu Si-Transistoren deutlich höher.
- Die Stromverstärkung steigt an, was wahlweise auch dazu genutzt werden kann, den Basisbahnwiderstand zu reduzieren.
- Weiterhin wird die Early-Spannung angehoben.
- Die Produktionsschritte sind kompatibel zur Standard-Silizium-Bipolar-technologie. Des Weiteren können SiGe-HBT-Transistoren mit einer CMOS-Technologie zu einem BiCMOS-Prozess kombiniert werden [78].
- Es entsteht durch die Verwendung von Germanium in der Basis ein zusätzlicher Freiheitsgrad beim Transistorentwurf, der dazu genutzt werden kann, verschiedene Nachteile auszugleichen.

- Im Vergleich zu GaAs hat SiGe neben einer wesentlich kostengünstigeren Produktion eine um den Faktor drei höhere Wärmeleitfähigkeit, was sich insbesondere bei HF-Leistungsanwendungen (z.B. Leistungsverstärker für Mobiltelefone) als günstig erweist.

Um diese Vorteile optimal zu nutzen, muss der Schaltungsentwickler berücksichtigen, dass die Transitzeit τ_f wesentlich stärker von der Kollektorstromdichte j_C abhängt, als bei herkömmlichen Silizium-Bipolartransistoren. Insbesondere fällt dadurch die Transitfrequenz und somit die Schaltgeschwindigkeit ab einer kritischen Stromdichte $j_{C,krit}$ stark ab (vgl. Abb. A.3). Da die kritische Stromdichte außerdem mit steigender Temperatur abnimmt, muss während des Entwurfs darauf geachtet werden, dass die Kollektorströme so dimensioniert sind, dass die kritische Stromdichte auch bei kurzen Impulsen oder geänderten Umgebungsbedingungen nicht überschritten wird. Dies ist besonders wichtig, da dieser Effekt in den meisten Simulatoren aufgrund fehlender Modelle noch nicht hinreichend berücksichtigt wird. Entsprechende neue Modelle befinden sich aber zur Zeit in der Entwicklung [98].

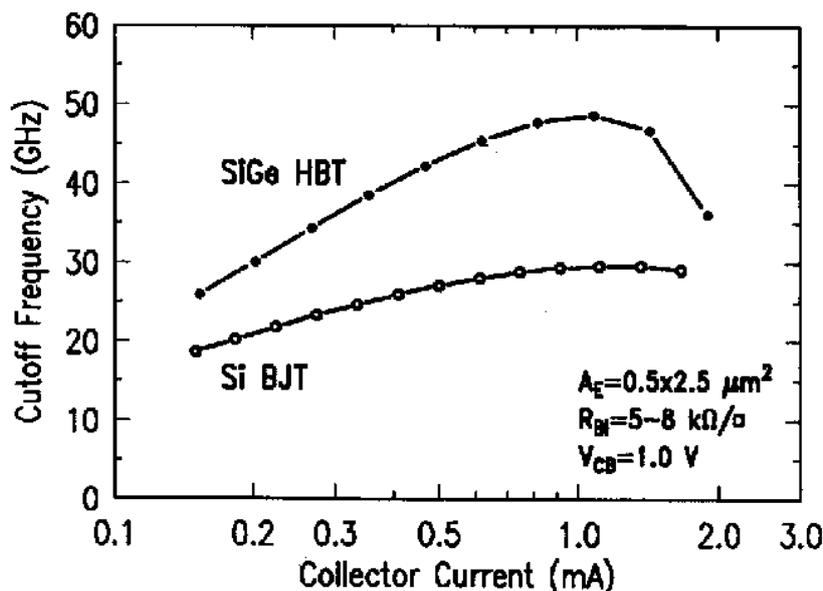


Abb. A.3: Transitfrequenz in Abhängigkeit vom Kollektorstrom für einen normalen Silizium-Transistor (Si BJT) und einen Silizium-Germanium HBT (SiGe-HBT). Beide Transistoren stammen von einem Wafer und wurden identisch prozessiert. (Abbildung entnommen aus [96]).

Ein weiterer Effekt, welcher zusätzlich berücksichtigt werden muss, ist die deutlich verringerte Kollektor-Emitter-Durchbruchsspannung BV_{CEO} , welche meist im Bereich von 2-3,5 V liegt. Dieser Durchbruch wird von den meisten

Schaltungssimulatoren ebenfalls nicht berücksichtigt, es sind aber zur Zeit entsprechende Modelle in Entwicklung [99]. Weiterhin bieten einige Simulatoren (z.B. ELDO [47]) bereits seit längerem die Überwachung des Arbeitspunktes einzelner Transistoren (SOA=safe operation area) an.

A.3 Aufbautechnik

Um alle Schaltungen unter realen Bedingungen zu testen, wurden die Chips in entsprechende Testfassungen montiert. Dabei hat sich am Lehrstuhl die im Folgenden beschriebene Aufbautechnik bewährt. Als mechanischer Träger dient ein solider Messingblock von ca. $5,8 \times 5,8 \times 1 \text{ cm}^3$. Auf diesem wird ein HF-Substrat [100] montiert, welches wiederum aus einer ca. 1 mm dicken Trägerplatte aus Kupfer, gefolgt von einem $254 \mu\text{m}$ starken Dielektrikum mit einer relativen Dielektrizitätskonstante von $\epsilon_r = 6,15$, besteht. Auf der Oberfläche befindet sich eine $9 \mu\text{m}$ dicke Kupfermetallisierung, die durch eine Fotomaske und anschließendes Ätzen strukturiert wird. Durch eine zusätzliche galvanische Vergoldung wird dabei eine sichere Haftung des Bonddrahtes gewährleistet und die Oberfläche vor Oxidation geschützt. Um die Bonddrähte möglichst kurz zu halten, werden die Chips in eine Vertiefung in der Mitte des Substrates eingesetzt. Dabei erweist es sich als günstig, dass das Dielektrikum in etwa dieselbe Dicke hat wie die Chips², so dass der Chip mit einem elektrisch isolierendem Wärmeleitkleber³ auf dem gut wärmeleitenden Kupfer befestigt werden kann (vgl. Kap. A.3.2). Die gesamte Struktur ist in Abb. A.4 dargestellt.

Im Folgenden soll genauer auf die Erstellung der Mikrowellen-Strukturen eingegangen werden. Weiterhin wird die Problematik der Wärmeableitung vertieft.

A.3.1 Erstellung der Mikrowellen-Struktur

Die Tatsache, dass die hier entworfenen Schaltungen viele Anschlüsse benötigen, macht den Entwurf von angepassten Substrat-Layouts notwendig. Hierbei sind einerseits die Strukturen direkt am Chip kritisch, da der Abstand der

²Die Dicke der Chips beträgt üblicherweise $250\text{-}350 \mu\text{m}$, je nachdem, ob der Wafer nach der Prozessierung noch gedünnt wurde. Ggf. kann auch eine zusätzliche Vertiefung in die untere Kupferplatte geätzt werden.

³Der Kleber muss elektrisch isolierend sein, da die untere Kupferplatte des Substrates als Rückleiter für die Streifenleiter dient und somit Massepotential hat. Das Si-Substrat des Chips liegt jedoch auf negativstem Potential, also auf ca. -5 V .

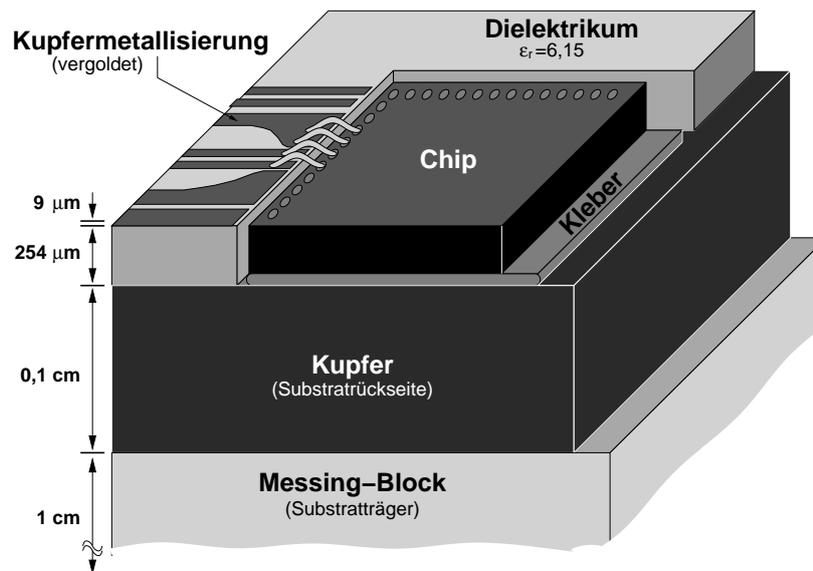


Abb. A.4: Querschnitt durch die Messfassung (nicht maßstabsgetreu).

Bondpads nur 150 µm beträgt. Es werden daher am Chip Leitungen der Breite 80 µm mit einem Abstand von 70 µm verwendet. Um diese kleinen Strukturen zu erreichen, muss der Ätzprozess laufend kontrolliert werden. Auch die Erstellung der Vorlage für die Belichtung der Fotolack-Maske ist kritisch. Hier wird eine 1:1 Maske verwendet, d.h. um entsprechende Strukturen gut darstellen zu können, muss der Fotobelichter mindestens eine Auflösung von 10000 dpi besitzen⁴.

Um den Chip herum befindet sich zunächst ein dünner Massekragen, der Spannungsschwankungen auf den an die Mikrostreifenleiter angrenzenden Masseleitungen verhindert. Dieser Massekragen verlängert die Bonddrähte nicht nennenswert, da diese grundsätzlich in einem leichten Bogen geführt werden müssen und so eine Länge von ca. 500 µm haben. Direkt am Chip sind die HF-Strukturen aufgrund der geringen Abstände zunächst als differentieller Streifenleiter mit angrenzender Masseleitung ausgeführt. Abb. A.5 zeigt ein Foto eines montierten Chips.

Von diesen differentiellen Mikrostreifenleitungen muss ein Übergang auf „single-ended“-Leiterbahnen erfolgen, da in der weiteren Aufbautechnik, d.h. bei Steckern und Kabeln, für die differentiellen Signale zwei getrennte Leiter verwendet werden. Die Berechnung dieser Strukturen erfolgte mit dem Programm Sonnet em Suite⁵ [89], einem 3D-Feldsimulator, welcher nach der Momenten-

⁴10000 dpi entsprechen 10000 Punkten pro Inch, d.h. ein Punkt hat einen Durchmesser von 2,54 µm.

⁵In Zusammenarbeit mit dem deutschen Distributor Dr. Mühlhaus Consulting wurde ein

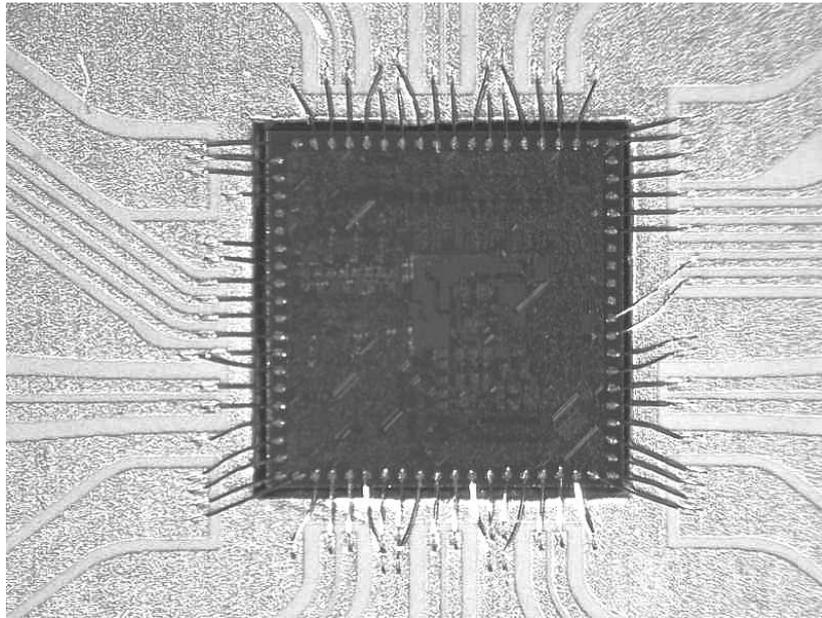


Abb. A.5: Foto eines montierten Chips (Chipgröße $3 \times 3 \text{ mm}^2$).

Methode mit äquidistantem Gitter innerhalb einer geschlossenen metallischen Box⁶ arbeitet. Der Leitungsübergang ist dabei so entworfen, dass sich sowohl die Masseleitungen, als auch die Gegentakteleitungen, immer weiter voneinander entfernen. Dabei wird die Breite der Leitungen entsprechend angepasst, so dass sich über die gesamte Struktur ein konstanter Wellenwiderstand von 50Ω ergibt. Da sich der angegebene Wellenwiderstand in Sonnet, wie auch in den meisten vergleichbaren Simulatoren, immer nur direkt auf einen Port bezieht und so Störungen innerhalb der Leitung nicht enthält, ist zusätzlich eine Berechnung oder sogar Messung des Streuparameters S_{11} sinnvoll, damit Resonanzen bei einzelnen Frequenzen ausgeschlossen werden können [101]. Auch bei den übrigen Strukturen muss darauf geachtet werden, dass die Anordnung so erfolgt, dass sich der Chip einfach bonden lässt und ggf. auf dem Substrat montierte SMD⁷-Bauteile gut lötbar sind. Des Weiteren wird die untere Kupferplatte als Masse benutzt. Um Spannungsabfälle auf dem Substrat, insbesondere durch die Induktivität der Masse- und Versorgungszuleitungen, zu vermeiden, werden nahe des Chips in den Masse-

Interface entwickelt, welches den Datenaustausch zwischen Sonnet und Cadence ermöglicht. So können die in Sonnet optimierten Strukturen direkt in Cadence (mit dem das Substrat entworfen wurde) übernommen werden.

⁶Durch diese Randbedingungen können die benötigten Gewichtungsfunktionen analytisch bestimmt werden, so dass keine iterative Integration nötig ist. Dieses erhöht Genauigkeit und Konvergenz und reduziert gleichzeitig die Simulationszeit deutlich.

⁷SMD=Surface Mounted Device; auf der Metallisierungsseite montiertes Bauelement.

flächen kleine Durchkontaktierungen zu der Kupferplatte eingefügt. Das Layout des gesamten Substrates zeigt Abb. A.6. Dort ist auch ein weiteres Problem und dessen Lösung zu erkennen: Die differentiellen Signale müssen alle eine identische Weglänge bis zu den Steckern aufweisen. Daher werden teilweise mäanderförmige Leiterbahnfürungen zum Laufzeitausgleich eingesetzt.

Der Messingblock dient, wie bereits erwähnt, als mechanischer Grundträger. An ihm sind auch die HF-Stecker (K-Konnektoren) befestigt. Den gesamten Aufbau der Messfassung zeigt Abb. A.7. Hier ist auch die Platine zur Einstellung der Referenzspannungen (vgl. Abb. 4.6) zu sehen. Unter dem Messaufbau befindet sich ein Kühlkörper mit Lüfter, um einen Langzeitbetrieb zu gewährleisten. Im nächsten Kapitel folgen genauere Angaben zu der Problematik der Abfuhr von Verlustleistung, welche hier immerhin bis zu 5 W beträgt.

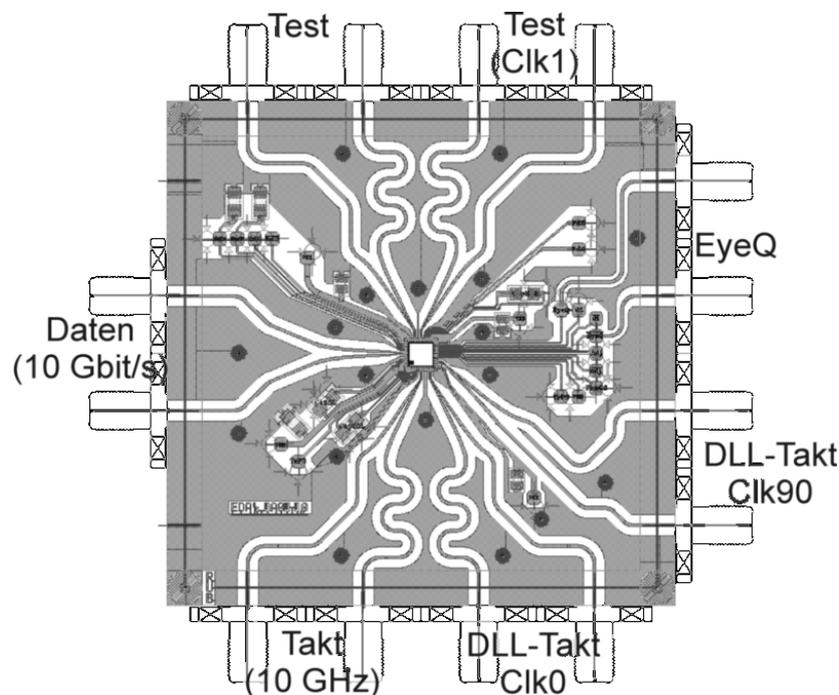


Abb. A.6: Substrat-Layout für den Augenmuster-Analysator.

A.3.2 Thermischer Übergang

Der bei den ersten Aufbauten verwendete Wärmeleitkleber ist ein Zwei-Komponentenkleber, welcher zunächst in einem vorgegebenen Mischungsverhältnis angerührt werden muss, wodurch kleine Luftbläschen im Kleber entstehen können. In Abb. A.8 ist ein demontierter Chip zu sehen, der aufgrund

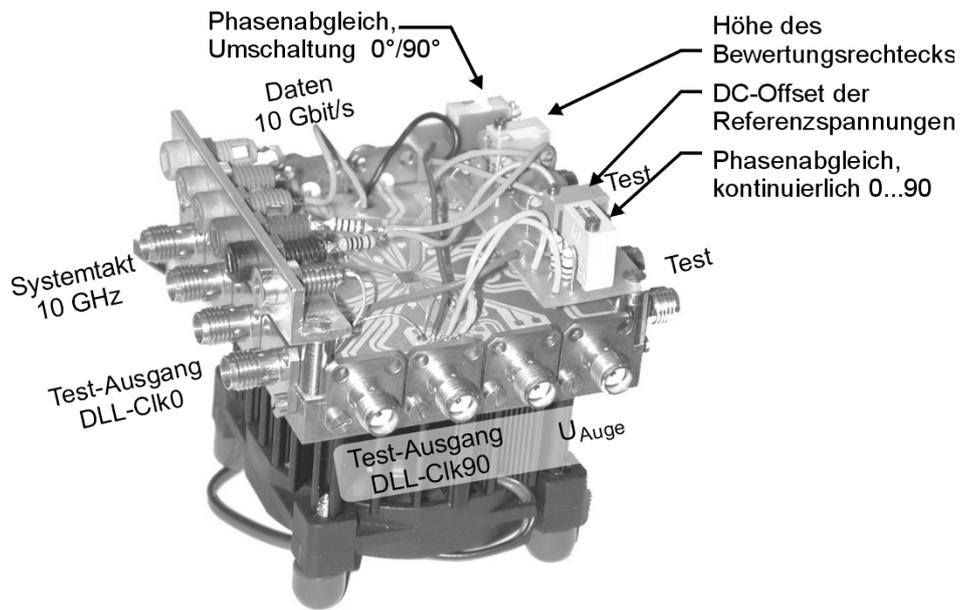


Abb. A.7: Kompletter Aufbau des Augenmuster-Analysators.

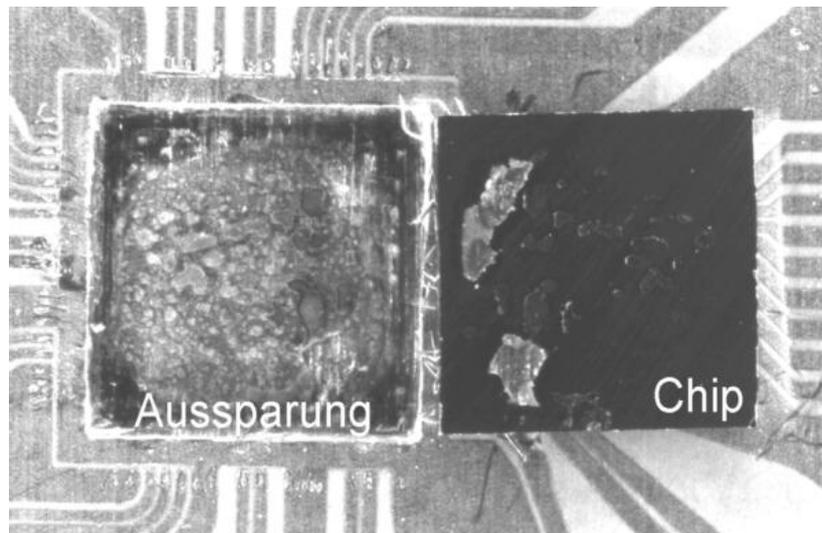


Abb. A.8: Foto der Testfassung mit demontiertem Chip nach Überhitzung aufgrund mangelhaften Wärmekontakts.

von Blasen im Kleber (evtl. auch durch bereits überschrittene Lagerdauer des Klebers) keinen ausreichenden Wärmekontakt hatte.

Außerdem läßt sich die Dicke der Kleberschicht nur schwer kontrollieren. Gerade die Schichtdicke des Wärmeleitklebers ist jedoch bei den hier auftretenden hohen Verlustleistungen von $0,55 \text{ W/mm}^2$ sehr kritisch. Die Temperaturdifferenz ΔT , die durch die Leistung P verursacht wird, welche über einer Schicht der Dicke d und der Fläche A bei einer Wärmeleitfähigkeit von ϑ

abgeführt werden soll, beträgt

$$\Delta T = \frac{P}{\vartheta} \cdot \frac{d}{A} \quad . \quad (\text{A.1})$$

Bei einer Wärmeleitfähigkeit von ca. 1,25 W/(mK) [102] und einer Verlustleistung von 4,95 W auf einer Fläche von 9 mm² ergibt sich bereits für eine Kleberschicht der Dicke 10 µm eine Temperaturänderung von

$$\Delta T = \frac{4,95 \text{ W}}{1,25 \text{ W/(mK)}} \cdot \frac{10 \text{ µm}}{9 \text{ mm}^2} = 4,4 \text{ K} \quad . \quad (\text{A.2})$$

Demgegenüber sind die Temperaturdifferenzen über dem Silizium ($\vartheta_{Si} = 141 \text{ W/(mK)}$), d.h. 1,2 K bei 300 µm Substratdicke) und dem folgenden Kupferträger ($\vartheta_{Kupfer} = 384 \text{ W/(mK)}$) sehr gering.

A.4 Flip-Chip Aufbautechnik

Für die Schaltungen des erweiterten Augenmuster-Analysators stand auch die Flip-Chip-Aufbautechnik zur Verfügung. Als Weiterentwicklung der Ball-Grid-Array-Gehäuse (BGA) [103] werden bei der Flip-Chip-Technologie die Lotkugeln (Balls) direkt auf dem Chip aufgebracht. Dieses Verfahren wird auch als „Chip-Scale Packaging“ (CSP) bezeichnet, da der auf dem Substrat montierte Chip nicht mehr Platz beansprucht als das ursprüngliche Siliziumstück. Allerdings werden teilweise auch Mikrowellen-Module mit einer vergleichbaren Technologie montiert [104], wobei dann einige Chips mit herkömmlichen Bond-Verbindungen mit dem Modul verbunden werden, und das Modul anschließend mittels Flip-Chip montiert wird. Hierbei sind die verwendeten Lotkugeldurchmesser allerdings wesentlich größer als beim „echten“ Flip-Chip, d.h. bei CSP.

Die wesentlichen Vorteile des Flip-Chip-Verfahrens sind:

- Eine im Vergleich zu Bonddrähten **sehr geringe Induktivität** der Verbindung. Gerade bei Frequenzen oberhalb ca. einiger GHz werden die Induktivitäten der Bonddrähte kritisch. Außerdem schlagen sich Längenva-riationen in den Bonddrähten deutlich in den gemessenen Leistungsdaten nieder.
- Es ist **kein zusätzliches Gehäuse** nötig, d.h. die Chips beanspruchen auf der Platine sehr wenig Raum. Dies ist gerade bei tragbaren Geräten von Vorteil.

- Da die Lotkugeln gleichzeitig eine **mechanische Verbindung** herstellen, erfolgt diese in einem Arbeitsschritt mit der elektrischen Verbindung. Die mechanischen Eigenschaften werden oft durch einen zusätzlichen Kleber („Underfill“) verbessert. Dieser schützt auch vor Umwelteinflüssen.
- Vor allem bei großen Stückzahlen werden durch die eingesparten Arbeitsschritte (Gehäuse, Verbindung) auch die **Kosten deutlich reduziert**.

Allerdings sind mit der Flip-Chip Technik auch einige neuen Probleme zu lösen:

- Wie bei jeder Verkleinerung der Abmessungen werden neue Herausforderungen an die **Platinenherstellung** und die **Bauteilplatzierung** gestellt, da die Chips auf einige Mikrometer genau positioniert werden müssen.
- Bei komplexeren Chips mit vielen Anschlüssen kann die **Verbindung nicht mehr optisch kontrolliert werden**. Hier müssen sehr zuverlässige Verfahren gefunden werden. Teilweise kann auch eine Endkontrolle mit Röntgenstrahlen erfolgen.
- Die Problematik der **Wärmeableitung** bleibt weiterhin bestehen. Jedoch kann oft direkt auf dem Chip ein Kühlkörper angebracht werden.

Bei der Montage von Flip-Chips wird zusätzlich zwischen Kompressionsmontage und Lötmontage unterschieden. Bei der Kompressionsmontage wird, ähnlich wie beim herkömmlichen Kompressionsbonden, der gesamte Chip durch Druck und Hitze mit dem Substrat verbunden. Hierzu werden zuvor Kügelchen aus Indium oder reinem Gold auf den Chip aufgebracht. Bei der Lötmontage, die auch bei dem Augmuster-Analysator angewandt wurde, werden Kügelchen aus eutektischem Lötzinn (z.B. Pb/Sn) verwendet. Diese werden dann in einem Reflow-Prozess mit dem Substrat verlötet [105].

Da die meisten Arbeitsschritte für den Aufbau des Augmusteranalysators in Labortechnik manuell erfolgen, können einige für die Serienfertigung notwendigen Schritte ausgelassen werden. So wird z.B. bei hinreichend genauer Platzierung des Chips auf der Leiterplatte keine zusätzliche Lötstop-Maske benötigt. Gerade die Justierung und Erstellung dieser Lötstopmaske ist aufgrund der erforderlichen Genauigkeit von ca. 25-50 μm kritisch. Weiterhin kann auf ein Underfill des Chips verzichtet werden, da dieses nur bei extremen Temperaturschwankungen, besonders bei großen Chips, benötigt wird, und dann vor allem zur Verlängerung der Lebensdauer [106]. Bislang traten keine

Ausfälle aufgrund von losgelösten Lötstellen auf, obwohl die Chips teilweise 80 °C warm wurden.

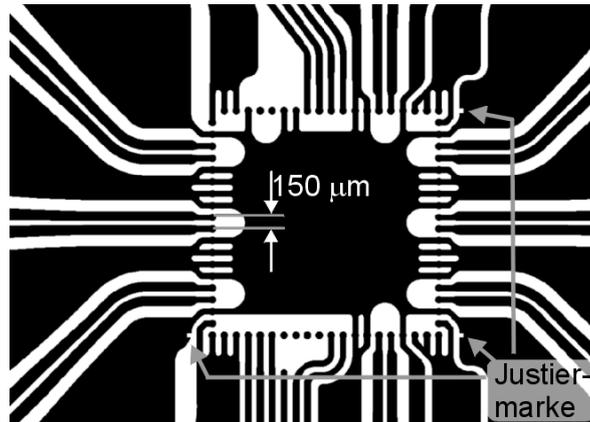


Abb. A.9: Layout des Substrates für Flip-Chips (Ausschnittsvergrößerung).

Insgesamt gliedert sich der Aufbau eines Flip-Chip- Messaufbaus in folgende Schritte:

- Layout und Erstellung des Substrates. Die Schritte dazu sind die gleichen wie bei der Bondtechnik, lediglich das Layout am Chip unterscheidet sich (s. Abb. A.9).
- Aufbringen einer dünnflüssigen, stark adhäsiven Lötpaste für SMD-Bauteile an der Montagestelle.
- Positionierung des Chips mit Hilfe eines Stereomikroskops. Zusätzlich sind auf dem Substrat Justiermarken angebracht, welche die Ausrichtung erleichtern. Der Chip wird hierbei durch die Lötpaste in seiner Position gehalten.
- Verlöten des Chips mit dem Substrat. Dazu wurde das Substrat von unten mit einer Heizplatte auf ca. 230 °C erhitzt und der Lötvorgang unter dem Mikroskop kontrolliert. Idealerweise sollte dieses Verlöten jedoch in einem entsprechenden Heißluftofen im Reflow-Verfahren mit einem ca. 10 s langen Temperaturimpuls erfolgen.
- Befestigung des Substrates auf dem Messingblock und weiterer Aufbau analog zur Bondtechnik.

Abb. A.10 zeigt ein seitlich aufgenommenes Foto eines montierten Chips (Takttreiber), bei dem die Lotkugeln deutlich zu erkennen sind. Insbesondere bei größeren Chips kann die Wärmeabfuhr über die Lotkugeln und das Substrat

sowie über Durchkontaktierungen geschehen. Dabei können auch Lotkugeln an besonders kritischen Stellen auf dem Chip angebracht werden. Allerdings standen in der hier verwendeten Aufbautechnik keine entsprechend kleinen Durchkontaktierungen zur Verfügung. Des Weiteren wurde aufgrund einer besseren Ätzbarkeit eine Kupfermetallisierung von nur $9\ \mu\text{m}$ verwendet, welche nur wenig Wärme vom Chip ableitet. Daher ist, wie in Abb. A.11 zu sehen, ein kleiner DIL-8 Kühlkörper auf den Chip aufgeklebt. Dieser Kühlkörper ist aber bereits bei der Verlustleistung der DLL von $3,3\ \text{W}$ etwas unterdimensioniert, was zeigt, dass die Flip-Chip-Technik die Problematik der Wärmeabfuhr weiter verschärft.

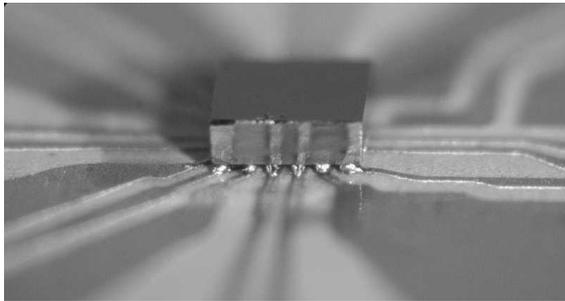


Abb. A.10: Seitenansicht eines mit dem Substrat verlöteten Flip-Chips.

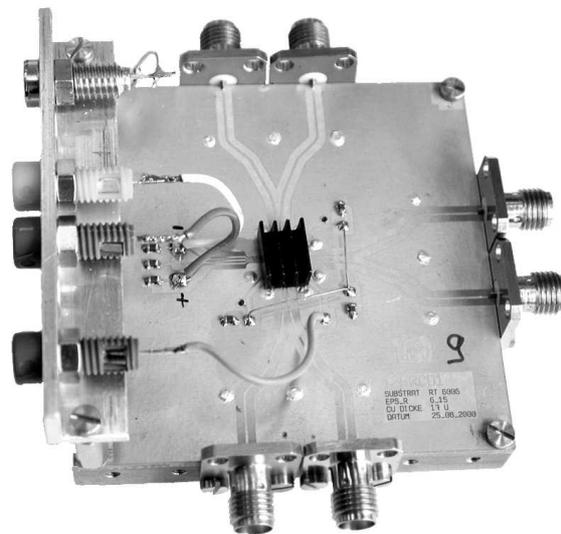


Abb. A.11: Substrat mit einem auf das Substrat gelöteten Flip-Chip.

A.5 Pseudo-Zufallsfolgen-Quelle für Simulationen

Bereits zu Beginn der Simulationen stellte sich das Problem, dass verrauschte Datenquellen mit einstellbarer Augenöffnung benötigt werden. Für allgemeine Simulationen mit Datenquellen standen bereits Makro-Modelle bzw. entsprechende Quellen zur Verfügung, welche Pseudo-Zufallsfolgen (PRBS=pseudo random bit sequence) verschiedener Länge generieren. Bei diesen lässt sich allerdings nur die Flankensteilheit manipulieren.

Daher war eine neue PRBS-Quelle für die Simulationen nötig. Diese sollte folgende Eigenschaften haben:

- Wählbare **Länge der Sequenz**, dabei soll die Sequenz wahlweise immer gleich beginnen oder zufällig starten.
- Wählbare **Bitrate**, sowie Unterstützung für **quaternäre Signale**.
- Einstellbare **Flankensteilheit** und Manipulation der Flankenform. Zusätzlich soll das Signal **tiefpassgefiltert** werden, um einen realistischen Verlauf zu erhalten.
- **Differentielle Ausgänge** mit 50 Ω Quellenwiderstand.
- Unabhängig einstellbarer **Jitter** des Nulldurchgangs, der Flankensteilheit und der Amplitude.

Da diese vielfältigen Einstellmöglichkeiten einerseits in der Spice-Netzliste festgehalten werden sollen, um immer die zu der Simulation gehörenden Parameter genau zu kennen, und um andererseits Batch-Simulationen⁸ zu ermöglichen, wurde der im Folgenden beschriebene Weg gewählt. Die Spice-Netzliste wird um ein oder mehrere Kommentarzeilen und eine Include-Zeile in der nachstehenden Form ergänzt:

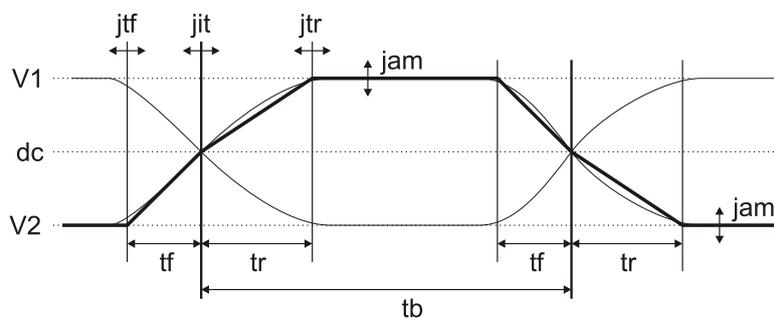
```
* !prbs!: Vprbs 10 20 V1=-250m V2=0.0 tb=100p tf=50p tr=20p jit=2% jam=20%
* !prbs!: + jtr=1% jtf=1% n=5 tp=10.0 td=50p file=prbsjit.sub
.include "prbsjit.sub"
```

Anschließend wird ein in der Programmiersprache C geschriebenes Programm (*prbsjitter*) mit der Netzliste als Parameter aufgerufen. Dieses Programm wertet alle Zeilen die mit * !prbs!: beginnen aus, und schreibt anschließend die Datei *prbsjit.sub*, welche eine stückweise lineare Quelle mit der PRBS-Folge enthält. Im einzelnen werden die in Tab. A.2 aufgeführten Parameter erkannt. Abb. A.12 verdeutlicht noch einmal die Bedeutung der einzelnen Parameter.

⁸D.h. die vorab programmierte, aufeinanderfolgende Simulation mit verschiedenen PRBS-Parametern, um die Rechenleistung auch über Nacht bzw. über das Wochenende optimal zu nutzen.

Tab. A.2: Parameter der Spice PRBS-Quelle.

Parameter	Standard	Bedeutung
dc	-125m	DC-Spannung
acv	250m	AC-Spannung
acp	0	AC-Phase
V1	0.0	Spannung High-Level
V2	-250m	Spannung Low-Level
tb	100p	Bit-Länge (Standard: 10 Gbit/s)
tr	30p	Rise-Time
tf	10p	Fall-Time
td	0	Delay zu Beginn
jit	10%	Zeitjitter Nulldurchgang
jtr	0%	Zeitjitter Rise-Time
jtf	0%	Zeitjitter Fall-Time
jam	5%	Amplitudenjitter
n	7	Länge der PRBS-Sequenz ($2^n - 1$)
file	prbsjit.sub	Ausgabe-Dateiname
tp	7.0	Grenzfrequenz des Tiefpasses in GHz
rg	50.0	Quellenwiderstand in Ohm
seq		Durch Angabe des Parameters seq ohne Wert wird das Schieberegister des PRBS-Generators mit 011001100... initialisiert
rand		Das Schieberegister wird mit Zufallswerten initialisiert (Standard)
gnd	0	Masse-Bezugsknoten

**Abb. A.12:** Bedeutung der Parameter der Spice-PRBS-Quelle.

Literaturverzeichnis

- [1] **Focus Online.** *WWW-Statistik, Stand Mai 2001.* <http://www.focus.de>.
- [2] **DFN-Verein.** *Deutsches Forschungsnetz.* <http://www.dfn.de/win/gwin/wiss.html>.
- [3] **B. Zhu, P.B. Hansen, L. Leng, S. Stulz, T.N. Nielsen, C. Doerr, A.J. Stentz, Z.J. Chen, D.W. Peckham, E.F. Rice, L. Hsu, C.K. Kan, A.F. Judy, L. Gruner-Nielsen.** *800 Gbit/s NRZ Transmission over 3200 km of Truewave Fiber with 100-km Amplified Spans Employing Distributed Raman Amplification.* Proceedings of the 26th European Conference on Optical Communication, 1: S. 73–74, September 2000.
- [4] **H. Hultzs** (Hrsg.). *Optische Telekommunikationssysteme.* Damm Verlag Gelsenkirchen, 1996.
- [5] **J.C. Scheytt.** *Takt- und Datenrückgewinnungsschaltungen mit automatischer Wahl der Bitrate für bitratenflexible optische Übertragungssysteme.* Dissertation, Ruhr-Universität Bochum, 2000.
- [6] **Lucent Technologies.** *Produktbeschreibung WaveStar LambdaXtreme.* <http://www.lucent.de>.
- [7] **Nortel Networks / WorldCom.** *WorldCom and Nortel Networks Unveil the 1.6 Terabits per second High-Capacity Network.* <http://www.nortelnetworks.com>.
- [8] **Alcatel.** *Produktbeschreibung des Unterseesystems 1640UW.* <http://www.alcatel.de>.
- [9] **Alcatel.** *Produktbeschreibung des Tera10-Systems.* <http://www.alcatel.de>.
- [10] **T. Ito, K. Fukuchi, T. Ksasmatsu.** *Enabling technologies for 10 Tb/s transmission capacity and beyond.* European Conference on Optical Communication (ECOC), 2001.
- [11] **N. S. Bergano.** *Transoceanic Transmission.* European Conference on Optical Communication (ECOC), 2001.
- [12] **A. Hugbart, R. Uhel, F. Pitel, G. Vareille, G. Grandpierre, O. Gautheron, J.F. Marcerou.** *32 x 40 Gbit/s WDM transmission over 1704 km.* European Conference on Optical Communication (ECOC), 2001.
- [13] **K. Ishida, J. Abe, N. Suzuki, K. Kinjo, K. Shimizu, Y. Kobayashi.** *1.28 Tbit/s (64x20 Gbit/s) Transmission over 4,200 km with 100 km Repeater Spacing Consisting of Raman/EDF Hybrid Amplifiers.* European Conference on Optical Communication (ECOC), 2001.
- [14] **G. Schiffner.** *Elektrooptik II.* Vorlesungsskript, Ruhr-Universität Bochum, 1996.
- [15] **J.M. Senior.** *Optical Fiber Communications: Principles and Practice (2nd edition).* Prentice Hall, 1992.
- [16] **W. Bludau.** *Lichtwellenleiter in Sensorik und optischer Nachrichtentechnik.* Springer-Verlag Berlin Heidelberg, 1998.

- [17] **Lucent Technologies.** *TrueWave RS Nonzero-Dispersion Optical Fiber.* <http://www.lucent.com/ofs/pdf/5815-3.pdf>, 1999.
- [18] **W. Pauler.** *Wir wollen Standards setzen.* Funkschau, 20: S. 78–79, 1999.
- [19] **K. Grobe.** *Hochratige Langstrecken-Übertragung in Glasfasern.* Institut für Allgemeine Nachrichtentechnik, Universität Hannover, Februar 1996.
- [20] **W. Glaser.** *Lichtwellenleiter - Eine Einführung (3. Aufl.).* VEB Verlag Technik, Berlin, 1990.
- [21] **D. Eberlein.** *PMD in Singlemode-Lichtwellenleitern.* Funkschau, 20: S. 46–50, 2000.
- [22] **Leoni Kabel GmbH & Co. KG.** *LWL-Faser F-E9/125 0,38F3,5/0,28H18.* Technisches Datenblatt, <http://www.leoni.de>, 2000.
- [23] **P. Ciprut, B. Gisin, N. Gisin, R. Passy, J. P. Von der Weid, F. Prieto, C. W. Zimmer.** *Second-Order Polarization Mode Dispersion: Impact on Analog and Digital Transmissions.* Journal of Lightwave Technology, 16: S. 757–771, Mai 1998.
- [24] **K. Kemeter.** *Neue Glasfasern für langweitreichige und hochbitratige Systeme.* <http://www.corning-cable-systems.de/de/products/fiberway/>, 1998.
- [25] **B. Wedding.** *New method for optical transmission beyond dispersion limit.* Electronics Letters, 28: S. 1298–1300, 1992.
- [26] **B. Wedding, E. Schlag.** *Novel 10 Gbit/s integrated silicon bipolar decision circuit for dispersion supported transmission.* Electronics Letters, 30: S. 399–400, März 1994.
- [27] **K. Köffers, F. Martini, W. Pöhlmann, B. Wedding.** *Electronic Processing for 10Gbit/s Dispersion Supported Transmission Systems.* European Solid-State Circuits Conference (ESSCIRC), S. 98–101, 1999.
- [28] **K. Yonenaga, A. Sano, M. Yoneyama, S. Kuwahara, Y. Miyamoto, H. Toba.** *Automatic Dispersion Equalization using Bit-Error-Rate Monitoring in a 40-Gbit/s Transmission System.* Proceedings of the 26th European Conference on Optical Communication, 1: S. 119–120, September 2000.
- [29] **X. Zhao, F.-S. Choa.** *10 Gb/s Multimode Fiber Transmissions over any (Loss-Limited) Distances Using Adaptive Equalization Techniques.* European Conference on Optical Communication (ECOC), 3: S. 57–58, 2000.
- [30] **J. A. Nagel, M. W. Chbat, L. D. Garrett, J. P. Soingé, N. A. Weaver, B.M. Desthieux, H. Bülow, A.R. McCormick, R. M. Derosier.** *Long-Term PMD mitigation at 10 Gb/s and time dynamics over high-PMD installed fiber.* European Conference on Optical Communication (ECOC), 2: S. 31–32, 2000.
- [31] **H. Bülow, et al.** *Measurement of the Maximum Speed of PMD Fluctuation in Installed Field Fiber.* Optical Fiber Conference, WE4, 1999.
- [32] **H. Bülow.** *PMD mitigation techniques and their effectiveness in installed fiber.* Optical Fiber Conference, 2000.
- [33] **H. Bülow, R. Ballentin, W. Baumert, G. Maisonneuve, G. Thielecke, T. Wehren.** *Adaptive PMD Mitigation at 10 Gbit/s using an Elektronik SiGe Equaliser IC.* European Conference on Optical Communication (ECOC), September 1999.
- [34] **B. Wedding, A. Chiarotto, W. Kuebart, H. Bülow.** *Fast adaptive control for electronic equalization of PMD.* Optical Fiber Conference (OFC), Paper TuP4-1, 2001.
- [35] **Tektronix Inc.** *TDS8000 Digital Sampling Oscilloscope.* Handbuch und Produktinformationen, siehe auch <http://www.tektronix.com/scopes>, 2000.
- [36] **M. Lauterbach.** *Getting more out of eye diagrams.* IEEE Spectrum, März 1997.
- [37] **M. Bußmann.** *Monolithisch-integrierte Schaltung für den Test mit m-Folgen bis 25 Gbit/s.* Dissertation, Ruhr-Universität Bochum, 1993.

- [38] **R.A. George.** *Method and Means for Detecting Error Rate of Transmitted Data.* US-Patent Nr. 3721959, März 1973.
- [39] **B. Wedding, W. Pöhlmann, D. Schlump, E. Schlag, R. Ballentin.** *SiGe Circuits for High Bit-rate Optical Transmission Systems.* IEEE International Symposium on Circuits and Systems (ISCAS), Orlando, 1999.
- [40] **M. Fregolent, S. Herbst, H. Soehnle, B. Wedding.** *Adaptive Optical Receiver for Performance Monitoring and Electronic Mitigation of Transmission Impairments.* Proceedings of the 26th European Conference on Optical Communication, 1: S. 63–64, September 2000.
- [41] **Vitesse.** *VSC 8123 Advance Product Information.* <http://www.vitesse.com>, Februar 2000.
- [42] **J.B. Scholz, S.C. Cook, T.C. Giles.** *Error Rate Monitor.* US-Patent Nr. 5325397, Juni 1994.
- [43] **K. Mueller, N. Hanik, A. Gladisch, H.-M. Foisel, C. Caspar.** *Application of Amplitude Histograms for Quality of Service Measurements of Optical Channels and Fault Identification.* European Conference On Optical Communication (ECOC), Madrid, S. 707–708, September 1998.
- [44] **NTT.** *Asynchronous sampling technique for the Q-factor measurement in transparent optical networks.* ITU-D.393, Oktober 1998.
- [45] **T.J. Nohara, A. Premji, W.R. Seed.** *A New Signal Quality Degradation Monitor for Digital Transmission Channels.* IEEE Transactions on Communications, 43(2/3/4): S. 1333–1336, Februar 1995.
- [46] **T.J. Nohara, A. Premji.** *Automatic Monitoring of Digital Communication Channel Conditions Using Eye Patterns.* US-Patent Nr. 5333147, Juli 1994.
- [47] **Mentor Graphics Corp, Wilsonville, USA.** *Eldo.* <http://www.mentor.com/eldo>.
- [48] **H.-M. Rein.** *Si and SiGe Bipolar ICs for 10 to 40 Gbit/s Optical-Fiber TDM Links.* International Journal of High Speed Electronics and Systems, 9(2), 1998.
- [49] **T. Miki, H. Kouno, T. Kumamoto, Y. Kinoshita, T. Igarashi, K. Okada.** *A 10-b 50-MS/s 500-mW A/D converter using a differential-voltage subconverter.* IEEE Journal of Solid-State Circuits, 29: S. 516–521, April 1994.
- [50] **K.H. Lofstrom, Tektronix Inc.** *Differential Comparator and Analog-to-Digital Converter Bank using the same.* US-Patent No. 5.416.484, Mai 1995.
- [51] **A. Boni, G. Melcher, C. Morandi.** *3.3-V, 200-Ms/s BiCMOS Comparator for Current-Mode Interpolation Using a Transconductance Stage.* IEEE Journal of Solid-State Circuits, S. 1563–1567, Oktober 1998.
- [52] **U. Tietze, Ch. Schenk.** *Halbleiter-Schaltungstechnik, 10. Auflage.* Springer-Verlag, Berlin, Heidelberg, 1993.
- [53] **I.N. Bronstein, K.A. Semendjajew.** *Taschenbuch der Mathematik.* B.G. Teubner, Stuttgart, Leipzig, 1991.
- [54] **B. Gilbert.** *The Multi-tanh Principle: A Tutorial Overview.* IEEE Journal of Solid-State Circuits, 33(1): S. 2–17, Januar 1998.
- [55] **L. Schmidt.** *Breitbandiger Phasenschieber in Silizium-Bipolartechnologie zur stufenlos einstellbaren Verzögerung von GHz-Taktsignalen.* Dissertation, Ruhr-Universität Bochum, 1993.
- [56] **F. Henkel.** *Untersuchung und Vergleich von Phasendetektoren zur Taktrückgewinnung mit Phasenregelkreisen.* Studienarbeit, Ruhr-Universität Bochum, 1998.
- [57] **A. Buchwald, K. Martin.** *Integrated Fiber-Optic Receivers.* Kluwer Academic Publishers, 1995.

- [58] **M. Rau, T. Oberst, R. Lares, A. Rothermel, R. Schweer, N. Menoux.** *Clock/Data Recovery PLL Using Half-Frequency Clock.* IEEE Journal of Solid-State Circuits, S. 1156–1159, Juli 1997.
- [59] **J. Hauenschild, C. Dorschky, T. Winkler von Mohrenfels, R. Seitz.** *A Plastic Packaged 10Gb/s BiCMOS Clock and Data Recovering 1:4 Demultiplexer with External VCO.* International Solid-State Circuits Conference, S. 202–203, 1996.
- [60] **M. Soyuer.** *A Monolithic 2.3-Gb/s 100mW Clock and Data Recovery Circuit in Silicon Bipolar Technology.* IEEE Journal of Solid-State Circuits, S. 1310–1313, Dezember 1993.
- [61] **R.C. Halgren, I.R. Peterson.** *Simple Phase-Locked Loop with Large Pull-In Range to Noise Bandwidth Ratio.* Electronics Letters, 17(13): S. 448–450, 1981.
- [62] **Charles R. Hogge Jr.** *A self correcting clock recovery circuit.* Journal of Lightwave Technology, S. 1312–1314, Dezember 1985.
- [63] **A. Pottbäcker.** *Integrierte Phasen-/Frequenzregelschleife zur Taktrückgewinnung für Datenraten bis 10 Gbit/s.* Dissertation, Ruhr-Universität Bochum, 1993.
- [64] **J.D.H. Alexander.** *Clock recovery from random binary signals.* Electronic Letters, S. 541–542, Oktober 1975.
- [65] **O. Kromat.** *Entwurf komplexer integrierter Silizium-Schaltungen im GHz-Bereich unter der Randbedingung geringer Verlustleistung.* Dissertation, Ruhr-Universität Bochum, 1996.
- [66] **Micronetics Corp.** *Produktbeschreibung der Rauschquellen der NMA5100 Serie.* <http://www.micronetics.com/pdf/nma5100.pdf>.
- [67] **T. Baumheinrich.** *Integrierte Schaltungen in SiGe-Bipolartechnologie für die Übertragung von binären und quaternären Signalen bis 40 Gbit/s - Entwurf und Charakterisierung.* Dissertation, Ruhr-Universität Bochum, 2000.
- [68] **W. Idler, B. Franz, D. Schlump, B. Wedding, A.J. Ramos.** *40 Gbit/s Quaternary Dispersion Supported Transmission Field Trail over 86 km Standard Singlemode Fibre.* European Conference on Optical Communication (ECOC), S. 145–147, 1998.
- [69] **M. Ismail, T. Fiez.** *Analog VLSI - signal and information processing.* Mc Graw-Hill, New York u.a., 1994.
- [70] **B. Razavi.** *RF microelectronics.* Prentice Hall, 1998.
- [71] **L.-E. Ettajani.** *Entwurf eines monolithisch-integrierten 1:3-Frequenzteilers für 20 GHz und eines zugehörigen Phasenschreibers in Si-Bipolartechnologie.* Diplomarbeit, Ruhr-Universität Bochum, 1999.
- [72] **L. Schmidt, H.M. Rein.** *New high-speed bipolar XOR gate with absolutely symmetrical circuit configuration.* Electronics Letters, S. 430–431, März 1990.
- [73] **Ö. Sevdiren.** *Entwurf zur Taktverteilung in SiGe-Bipolartechnologie.* Studienarbeit, Ruhr-Universität Bochum, 2000.
- [74] **N. Kapoor.** *Entwurf eines Abtast-Halteglieders in SiGe-Bipolartechnologie zur Abtastung von Datensignalen im Gbit/s-Bereich.* Studienarbeit, Ruhr-Universität Bochum, 2000.
- [75] **K. Zorlu.** *Entwurf einer Schaltung in Si/SiGe-Technologie zur Ableitung eines Abtastsignals für die Augenmusterbewertung.* Studienarbeit, Ruhr-Universität Bochum, 2001.
- [76] **J. C. Jensen, L. E. Larson.** *A Broadband 10-GHz Track-and-Hold in Si/SiGe HBT Technology.* IEEE Journal of Solid-State Circuits, S. 325–330, März 2001.
- [77] **T. Ellermeyer.** *Entwurf von monolithisch-integrierten Oszillatoren und Mischern für mobile Datenübertragung bei 5,8 GHz.* Diplomarbeit, Ruhr-Universität Bochum, 1997.

- [78] **K.E. Ehwald, D. Knoll, B. Heinemann, K. Chang, J. Kirchgessner, R. Mauntel, I.S. Lim, P. Schley, B. Tillack, A. Wolff, K. Blum, W. Winkler, M. Pierschel, U. Jagdhold, R. Barth, T. Grabolla, H.J. Erzgräber, B. Hunger, H.J. Osten.** *Modular Integration of High-Performance SiGe:C HBTs in a Deep Submicron, Epi-Free CMOS Process.* IEEE Technical Digest of the International Electron Device Meeting (IEDM), S. 561–564, 1999.
- [79] **A. Schüppen, M. Tortschanoff, J. Berntgen, P. Maier, D. Zerrweck, H. von der Ropp, J Tolonics, K. Burger.** *The Proliferation of Silicon Germanium.* Proceedings of the 30th European Solid-State Device research Conference (ESSDERC 2000), S. 88–91, September 2000.
- [80] **T. Ellermeyer, U. Langmann, B. Wedding, W. Pöhlmann.** *A 10-Gb/s Eye-Opening Monitor IC for Decision Guided Adaptation of the Frequency Response of an Optical Receiver.* International Solid-State Circuits Conference (ISSCC), S. 50–51, 2000.
- [81] **T. Ellermeyer, U. Langmann, B. Wedding, W. Pöhlmann.** *A 10-Gb/s Eye-Opening Monitor IC for Decision Guided Adaptation of the Frequency Response of an Optical Receiver.* IEEE Journal of Solid-State Circuits, 35(12): S. 1958–1963, Dezember 2000.
- [82] **T. Esser.** *The teTeX Homepage.* <http://www.tug.org/tetex>.
- [83] **Avant! Corperation.** *Avant! Star-Hspice.* <http://www.avantcorp.com>.
- [84] **Cadence Design Systems Inc.** *Cadence Design Framework II.* <http://www.cadence.com>.
- [85] **T. Williams, C. Kelley.** *gnuplot - An Interactive Plotting Program, Version 3.7.* <http://www.gnuplot.org>.
- [86] **S. Sutanthavibul, B.V. Smith.** *XFIG Drawing Program for the X Window System, Version 3.2.* <http://www.xfig.org>.
- [87] **Corel Corporation.** *Homepage.* <http://www.corel.de>.
- [88] **Helsinki University of Technology.** *Aplac simulation and design program.* <http://www.aplac.hut.fi>.
- [89] **Sonnet Software Inc.** *Sonnet em Suite V7.0b.* <http://www.sonnetusa.com> und <http://www.muehlhaus.com>.
- [90] **Atmel wireless & μ C.** *Homepage.* <http://www.atmel-wm.com>.
- [91] **D. Barlas, G. Henderson, X. Zhang, M. Bopp, A. Schüppen.** *SiGe Transistor Technology for RF Applications.* Microwave Journal, S. 22–39, Juni 1999.
- [92] **M. Carrol, [u.a.].** *COM2 SiGe Modular BiCMOS Technology for Digital, Mixed-Signal and RF-Applications.* Transactions on International Electron Devices Meeting (IEDM), 2000.
- [93] **K. Washio, M. Kondo, E. Ohue, K. Oda, R. Hayami, M. Tanabe, H. Shimamoto, T. Harada.** *A 0.2- μ m Self-Aligned Selective-Epitaxial-Growth SiGe HBT Featuring 107-GHz f_{max} and 6.7 ps ECL.* IEEE Transactions on Electron Devices, S. 1989–1994, September 2001.
- [94] **D.L. Harame, D.C. Ahlgren, D.D. Coolbaugh, J.S. Dunn, G.G. Freeman, J.D. Gillis, R.A. Groves, G.N. Hendersen, R.A. Johnson, A.J. Joseph, S. Subbanna, A.M. Victor, K.M. Watson, C.S. Webster, P.J. Zampardi.** *Current Status and Future Trends of SiGe BiCMOS Technology.* IEEE Transactions on Electron Devices, S. 2575–2594, November 2001.
- [95] **G.L. Patton, J.H. Comfort, B.S. Meyerson, E.F. Crabbe, G.J. Scilla, E. de Fresart, J.M.C. Stork, J.Y.C. Sun, D.L. Harame, J. Burghartz.** *75 GHz f_T SiGe Base Heterojunction Bipolar Transistor.* IEEE Electron Device Letters, 11: S. 171–173, November 1990.

- [96] **D.L. Harame, J.H. Comfort, J.D. Cressler, E.F. Crabbé, J.Y.-C. Sun, B.S. Meyerson, T. Tice.** *Si/SiGe Epitaxial-Base Transistors—Part I: Materials, Physics, and Circuits.* IEEE Transactions on Electron Devices, S. 455–468, März 1995.
- [97] **E. Kaspar, A. Gruhle, H. Kibbel.** *High Speed SiGe-HBT with Very Low Base Sheet Resistivity.* IEEE Technical Digest of the International Electron Device Meeting (IEDM), S. 79–81, 1993.
- [98] **S. Wilms, H.-M. Rein.** *Analytical High-Current Model for the Transit Time of SiGe HBTs.* Proceedings of the Bipolar Circuits and Technologies Meeting (BCTM), S. 199–202, 1998.
- [99] **M. Rickelt, H.-M. Rein.** *An accurate transistor model for simulating avalanche-breakdown effects in si bipolar circuits.* Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), S. 34–37, 2001.
- [100] **Rogers Corporation.** *Data Sheet RT-Duroid 6006.* <http://www.rogers-corp.com>.
- [101] **E.A.M. Klumperink, R. Kreienkamp, T. Ellermeyer, U. Langmann.** *Transmission Lines in CMOS: An Explorative Study.* 12th Annual Workshop on Circuits, Systems and Signal Processing, Veldhoven, The Netherlands, November 2001.
- [102] **Epoxy Technology Inc.** *Datenblatt EPO-TEK H70E.*
- [103] **IBM International Business Machines Corp.** *Application Note - Double Sided 4Mb SRAM Coupled Cap PBGA Card Assembly Guide.* <http://www.chips.ibm.com>, 1998.
- [104] **I. Davies, W.A. Phillips, G. Humpston, M.J. Niman.** *A Review of Flip-Chip GaAs Circuits, Models, Interconnections and Modelling Techniques in use at Marconi.* GaAs Symposium, München, S. 11–15, 1999.
- [105] **M. Stampe.** *CSP and FC from Temic.* Vortragsfolien, 1998.
- [106] **W. Rabe, Temic Semiconductors.** *Gespräche und Email-Korrespondenz zur Flip-Chip-Technologie im Hause Temic/Atmel.*

Abbildungsverzeichnis

1.1	Aufbau einer Glasfaserstrecke.	2
1.2	Glasfaserstrecke mit Wellenlängen-Multiplex.	3
1.3	Elektronische Signalverarbeitung auf der Empfängerseite.	5
2.1	Lichtführung in einer Glasfaser.	8
2.2	Verschiedene Glasfaser-Typen (Der Verlauf der hier dargestellten Stufenindex-Faser wird auch als W-Profil bezeichnet, da er dem Buchstaben W ähnelt).	9
2.3	Dämpfungsverlauf einer Standardglasfaser	10
2.4	Modendispersion in einer Multimode-Stufenindexfaser.	13
2.5	Ausbreitung der beiden Polarisationszustände in der Glasfaser.	13
2.6	Wellenlängenabhängigkeit von τ_{DGD}	16
2.7	Prinzip der dispersionsgestützten Übertragung.	18
2.8	Equalizer aus Verzögerungsgliedern.	19
3.1	Entstehung eines Augendiagramms.	24
3.2	Masken zur Bestimmung der Augenöffnung.	25
3.3	Messung der Pseudo-Fehlerrate.	26
3.4	Bewertung der Signalqualität mit einem Histogramm.	27
3.5	Bewertung der Signalqualität mit einem Raster.	28
3.6	Verwendetes Prinzip der Augenöffnungsbewertung.	29
3.7a	Festlegung der oberen und unteren Seite des Rechtecks.	30
3.7b	Lage des DLL-Quadraturtakts.	31
3.7c	Festlegung der linken und rechten Seite des Rechtecks.	31
4.1	Blockschaltbild des Augenmuster-Analysators.	36
4.2	Schaltplan der differentiellen Komparatoren.	38

4.3	Details zum Komparator.	39
4.4	Die Funktion $f(U_{E^*,d}) = \text{sech}^2 \frac{U_{E^*,d}}{2 \cdot U_T}$	41
4.5	Erzeugung der symmetrischen Referenzspannungen U_{RefO} und U_{RefU}	42
4.6	Schaltung zur Einstellung von Gleichtakt- und Differenzsteuerung der Referenzspannung $U_{R,d}$	42
4.7	Schaltplan eines der MS-D-FFs der Abtaststufe.	43
4.8	Blockschaltbild der Auswerte-Logik.	43
4.9	Schaltplan der Ladungspumpe.	44
4.10	Gedultete Verletzungen.	45
4.11	Blockschaltbild der Phasenschieber-Anordnung des Analysators.	46
4.12	Phasenschieber mit von 0° - 90° einstellbarer Phase.	47
4.13	Abhängigkeit der Phase und der Ausgangs-Amplitude von der Steuerspannung (Simulation).	47
4.14	Struktur einer Phasenregelschleife (DLL).	48
4.15	Blockschaltbild der Phasenregelschleife des Augenmuster-Analysators.	49
4.16	Erzeugung eines Quadraturtakts mit einem MS-D-FF.	49
4.17	Blockschaltbild des Early/Late-Phasendetektors.	50
4.18	Funktionsweise des Early/Late-Phasendetektors.	52
4.19a	Kennlinie eines linearen Phasendetektors.	52
4.19b	Kennlinie des idealen Early/Late-Phasendetektors.	52
4.20	Schaltbild des in der DLL verwendeten 0° - 270° Phasenschiebers.	53
4.21	Schaltung zur Erzeugung der für den 270° -Phasenschieber nötigen Steuersignale U_{CntlA} und U_{CntlB}	54
4.22	Steuerspannungen U_{CntlA} und U_{CntlB} über Schleifenfilterspannung U_{SF} (Simulation).	54
4.23	Verlauf der Phase und Amplitude über Schleifenfilterspannung U_{SF} (Simulation).	54
4.24a	Erweiterung des Phasenbereichs: Startbedingung.	55
4.24b	Erweiterung des Phasenbereichs: Verschiebung der Datenphase.	55
4.24c	Erweiterung des Phasenbereichs: Takt versucht zu folgen.	55
4.24d	Erweiterung des Phasenbereichs: Taktsignale werden vertauscht.	55
4.24e	Erweiterung des Phasenbereichs: DLL rastet wieder ein.	55
4.25	Schleifenfilterspannung U_{sf} und Ausgangsspannung der Aussteuerungsspannung.	56
4.26	Chipfoto des Analysator-Chips mit DLL.	58

4.27	Messanordnung (Differentielle Signale sind durch zwei eng beieinander liegende Leitungen gekennzeichnet).	61
4.28	Normierte Augenöffnung.	61
4.29	Ausgangsspannung U_{Auge} des Analysators ohne DLL über normierter Augenöffnung.	62
4.30	Ausgangsspannung U_{Auge} des Analysators mit DLL über normierter Augenöffnung für verschiedene Bitraten (gemessen mit Frequenzgenerator).	63
4.31	Ausgangsspannung U_{Auge} des Analysators mit DLL für mit Rauschquelle verzerrte Augen über RMS-Jitter bei 5 Gbit/s. . . .	64
4.32	DLL-Takt Clk_O bei verschiedenen Augenöffnungen.	64
4.33	Abtasttakt Clk_R bei verschiedenen Augenöffnungen.	64
4.34	Ausgangsspannung U_{Auge} von verschiedenen Chips des Analysators mit DLL über normierter Augenöffnung bei 5 Gbit/s (gemessen mit dem Frequenzgenerator als Rauschquelle).	65
4.35	Phase des 270° -Phasenschiebers über Steuerspannung U_{SF}	66
4.36	Tastverhältnis des Clk_O -Ausgangs über der Phase.	66
4.37	Ausgang des Komparators und des MS-D-FFs bei 10 Gbit/s. . . .	67
4.38	Ausgang des Komparators und des MS-D-FFs bei 19,5 Gbit/s. . .	67
5.1	Erzeugung eines quaternären Signals aus zwei binären Datenströmen.	72
5.2	Definition des Bewertungsrechtecks im erweiterten Augenmusteranalysator (AMA2) für quaternäre Signale.	74
5.3	Gleichhäufige Abtastung aller Kanäle eines Zeitmultiplex-Signals durch Verwendung eines ungeraden Teilverhältnisses. . . .	75
5.4	Lage der Takte bei dreiphasigem Taktsystem.	76
5.5	Blockdiagramm des erweiterten Augenmuster-Analysators (AMA2).	77
5.6	Blockdiagramm der erweiterten Delay-Locked-Loop (DLL2) mit dreiphasigem Takt.	77
5.7	Komparatorschaltung inkl. Pegelverschiebung für quaternäre Signale.	79
5.8a	Spannungsverläufe im Komparator (1).	81
5.8b	Spannungsverläufe im Komparator (2).	81
5.8c	Spannungsverläufe im Komparator (3).	81
5.9	Schaltung zur Einstellung der Referenzspannung U_{RefTA}	82

5.10	Blockdiagramm der Takterzeugung des erweiterten Analysators.	84
5.11a	Überkreuz-Anordnung von Transistoren bei vertikalem Temperaturgradient.	85
5.11b	Überkreuz-Anordnung von Transistoren bei horizontalem Temperaturgradient.	85
5.12	Schaltbild des 0° bis 120° Phasenschiebers.	86
5.13	Tastverhältnis des 0° bis 120° Phasenschiebers mit Temperaturgradient.	86
5.14	Blockschaltbild des 3:1 Frequenzteilers.	87
5.15	Schaltplan des 3:1 Frequenzteilers.	87
5.16	Erzeugung eines 1:1-Tastverhältnisses mit einer ODER-Verknüpfung.	88
5.17	Erzeugung eines 1:1-Tastverhältnisses mit Multiplexern.	89
5.18	Early-/Late-Phasendetektor mit Dreiphasentakt.	89
5.19	Chipfoto des erweiterten Analysators AMA2.	91
5.20	Chipfoto der dazugehörigen Phasenregelschleife DLL2.	91
5.21	Taktausgänge des dreiphasigen Takts der DLL bei 15 GHz.	93
5.22	Blockschaltbild des Komparator-Testchips.	95
5.23	Blockschaltbild des Takttreibers.	95
5.24	Messung des Komparator-Testchips mit einem 10 GHz Eingangssignal.	96
5.25	Messung des Komparator-Testchips mit einem 10 Gbaud Eingangssignal.	96
5.26	Frequenzgang des Takttreibers, aufgebaut in Bond-Technik.	97
5.27	Frequenzgang des Takttreibers, aufgebaut in Flip-Chip-Technik.	97
6.1	Blockschaltbild einer weiteren Schaltung zur Abtastung des Datensignals.	102
6.2	Abtastung des Auges.	104
6.3	Schaltung zur Ableitung eines geeigneten Abtasttakts.	105
6.4	Augendiagramm bei 10 Gbit/s.	106
A.1	Qualitativer Dotierungsverlauf eines Single-Heterobipolartransistors.	115
A.2	Qualitativer Dotierungsverlauf eines Doppel-Heterobipolartransistors.	115
A.3	Transitfrequenz in Abhängigkeit vom Kollektorstrom.	116
A.4	Querschnitt durch die Messfassung (nicht maßstabsgetreu).	118

A.5	Foto eines montierten Chips (Chipgröße $3 \times 3 \text{ mm}^2$).	119
A.6	Substrat-Layout für den Augenmuster-Analysator.	120
A.7	Kompletter Aufbau des Augenmuster-Analysators.	121
A.8	Foto der Testfassung mit demontiertem Chip nach Überhitzung aufgrund mangelhaften Wärmekontakts.	121
A.9	Layout des Substrates für Flip-Chips (Ausschnittsvergrößerung).	124
A.10	Seitenansicht eines mit dem Substrat verlöteten Flip-Chips.	125
A.11	Substrat mit einem auf das Substrat gelöteten Flip-Chip.	125
A.12	Bedeutung der Parameter der Spice-PRBS-Quelle.	127

Tabellenverzeichnis

1.1	Reichweite und Bitrate je Faser einiger in der Fachliteratur und in Produktankündigungen vorgestellter Übertragungssysteme (Stand Dezember 2001).	4
2.1	Maximal realisierbare Streckenlänge.	15
3.1	Vergleich der Bewertungsverfahren	28
4.1	Einige Konzepte für Phasendetektoren.	51
4.2	Daten des Analysators ohne und mit DLL.	60
5.1	Auswahl des Teilauges in Abhängigkeit von U_{SelO} und U_{SelU}	83
5.2	Daten des erweiterten Analysators und der dazugehörigen DLL.	92
5.3	Daten der Testchips aus dem zweiten Durchlauf (Komparator und Takttreiber).	94
6.1	Simulationsergebnisse der Folge-/Halte-Schaltung.	104
A.1	Vergleich einiger SiGe-Technologien (Stand Dezember 2001).	114
A.2	Parameter der Spice PRBS-Quelle.	127

Stichwortverzeichnis

- Überkreuz-Anordnung, 82
- Absorption, 9
 - durch OH-Ionen, 9
 - Infrarot-, 10
 - UV-, 10
- Abtastverfahren, 103
- Additive Noise Method, 26
- Additives Rausch-Verfahren, 26
- Analog-Digital-Umsetzer, 101
- aplac, 109
- Atmel, 109
- Aufbautechnik, 113
- Augenöffnung, 23
 - Normierte, 60
- Augendiagramm
 - Bewertung, 100
 - Entstehung, 23
- Augendiagramm, Bewertung, 29
- Augenmuster-Analysator, 34, 99
- Aussteuerbereich, 39
- Aussteuerkontrolle, 53
- Auswerte-Logik, 42
- Bandbreiten-Längenprodukt, 11
- Basisbahnwiderstand, 111
- BER, *siehe* Bitfehlerrate
- BiCMOS, 101, 111
- BiCMOS-Technologie, 99
- Bitfehlerrate, 24
- Bitraten-Länge-Produkt, 16
- Bitraten-Längenprodukt, 11
- Bonddraht, 113, 118
- Bondinduktivität, 58
- Bragg-Gitter, 17
- Cadence, 109
- Common Centroid, 82
- CorelDraw, 109
- Cross-Phase Modulation, *siehe*
Kreuzphasenmodulation
- Cross-Quad, 82
- Dämpfung
 - einer Glasfaser, 9
- Dämpfungsglied, 60
- Deutsches Forschungsnetz, 1
- DHBT, *siehe* Heterobipolartransistor
- Differenzverstärker, 38, 39
 - Übertragungsfunktion, 39
- Dispersion
 - Chromatische, 11
 - chromatische, 70
 - Moden-, 12, 19
 - Polarisationsmoden-, 4, 13

- Polarisationsmoden- 2. Ordnung, 15
- Dispersionsfläche Glasfaser, 17
- Dispersionskompensierende Glasfaser, 17
- Dispersionsunterstützte Übertragung, 17
- Dispersionsverschobene Glasfaser, 17
- DLL, *siehe* Phasenregelschleife
- Dreiphasentakt, 73
- Drift-Transistor, 110
- Early-Spannung, 111
- ECL, 36
- EDA_1A01, 57
- EDFA, 2, 71
- ELDO, 109
- Elektrooptischer Modulator, 2
- Emitterfolger
 - geschalteter, 43
- Emitterfolger, geschalteter, 101
- Equalizer
 - linearer, 5, 19
- Faserverstärker
 - erbium-dotierte, 2, 71
- Fehlerkorrektur, 61
- Flip-Chip, 118, 120
- Folge-/Halte-Schaltung, 100, 101
- Fotolack-Maske, 114
- Fotomaske, 113
- Four-Wave Mixing, *siehe* Vierwellenmischung
- Frequenzteiler, 47, 84, 103
- Gigabit-Wissenschaftsnetz, 1
- Glasfaser
 - Dispersionsfläche, 17
 - Dispersionskompensierende, 17
 - Dispersionsverschobene, 17
 - Gradienten-, 12
 - Monomode-, 13
 - Multimode-, 12
 - verbindung, 8
- Gleichtaktunterdrückung, 37, 40
- gnuplot, 109
- HBT, *siehe* Heterobipolartransistor
- HDL-A, 109
- Heterobipolartransistor, 110
- HF-Substrat, 113
- Histogramm, 105
 - Signalbewertung durch, 26
- HSpice, 109
- Jitter, 23
- Kleinsignalbetrieb, 39
- Kleinste-Fehlerquadrat-Algorithmus, 19
- Kollektorstromdichte, 112
- Komparator
 - schwellen, 37
 - Differentieller-, 36
- Koppelinduktivität, 58
- Kreuzphasenmodulation, 15
- Lötpaste, 120
- Ladungspumpe, 43
- Laserchirpen, 17
- LaTeX, 109
- Layout, 58
- Linearer Equalizer, 5
- Lotkugeln, 118
- Lower Threshold Method, 26
- Mehrwertige Signale, 70
- Messaufbau, 59

- Metallisierungsebenen, 58
Mikrocontroller, 72, 100
Mikroelektronik, 1
Mikrostreifenleitung, 114
Mischer, 103
Modendispersion, *siehe* Dispersion
Modulator
 elektrooptischer-, 2
Multiplexer, 59

Neuronales Netz, 27
Normierte Augenöffnung, 60

OH-Ionen, 9
Oszillator
 Start/Stop-, 54
Oszilloskop, 23
 Sampling-, 22, 23, 99
 Speicher-, 23

PER, *siehe* Pseudo-Fehlerrate
Phasendetektor, 47, 88
Phasenregelschleife, 35, 47
Phasenschieber, 64
 0-90°, 45
Polarisationsmodendispersion, *siehe*
 Dispersion
Pseudo-Fehlerrate, 25
Pseudo-Zufallsfolgen, 121
Pseudo-Zufallsfolgengenerator, 59

Quadraturtakt, 35, 47
Quality of Service, 1
Quaternäre Signale, 70

Schleifenfilter, 47
Selbstphasenmodulation, 17
SHBT, *siehe* Heterobipolartransistor
Silizium-Germanium Transistor,
 109
Silizium-Germanium-Technologie,
 34
Solitonenübertragung, 17
Sonnet em Suite, 109, 114
Speichermatrix, 100
Spektrale Inversion, 17
SPICE, 109, 122
Start/Stop-Oszillator, 54
Steilheit, 40
Streuung, 9
Stromschalter, 36
Synchrone Digitale Hierarchie, 73

Tastverhältnis, 65
Teilaug, 71, 93
Teilaugen, 70
Temic, 109
Temperaturgradient, 64, 82
Testfassung, 113
Testfassungen, 59
Tiefpassfilter, 44
Toggle-Flip-Flop, 54
Totalreflexion
 virtuelle, 8
Transitfrequenz, 112
Transitzeit, 112

Unterabtastung, 100

V-Curve, 26
Verletzung
 des Bewertungsrechtecks, 28, 43
Verletzungen
 geduldete, 44
Vierwellenmischung, 15

Wärmeabfuhr
 bei Flip-Chip, 121
Wärmeleitfähigkeit, 117

Wärmeleitkleber, 113, 116, 117

Wellenlängenmultiplex, 3, 71

xfig, 109

Zeitmultiplex, 2, 70, 73

Nachwort

Die vorliegende Arbeit entstand im Rahmen meiner Tätigkeit als Wissenschaftlicher Mitarbeiter am Lehrstuhl für Integrierte Schaltungen an der Ruhr-Universität Bochum und wurde durch das Bundesministerium für Bildung und Forschung (BMBF) im Rahmen des EU-Projektes „Micro-Electronic Development for European Applications“ (MEDEA) A208-Gigachips gefördert.

Mein besonderer Dank gilt Herrn Prof. Dr.-Ing. Ulrich Langmann für die Betreuung und Unterstützung der Arbeit. Durch Anregungen und fachliche Diskussionen hat er die vorliegende Arbeit stets gefördert. Herrn Prof. Dr.-Ing. Heinz Jäckel danke ich für sein Interesse und seine Bereitschaft zur Übernahme des Korreferats.

Allen Mitarbeitern des Lehrstuhls für Elektronische Bauelemente danke ich für die gute Zusammenarbeit und kollegiale Unterstützung. Besonders hervorheben möchte ich dabei Herrn Dipl.-Ing. Günter Grau für wertvolle Diskussionen, Herrn Kirchhoff für die Aufbautechnik, sowie verschiedene an der Forschungsarbeit beteiligte Studenten.

Des Weiteren danke ich allen Mitarbeitern der Firmen Alcatel SEL, Stuttgart und Atmel wireless μ C, Heilbronn, die zum Gelingen des Projektes beigetragen haben, hierbei vor allem Herrn Dr. Berthold Wedding, Herrn Wolfgang Pöhlmann und Herrn Wilfried Rabe.

Meiner Frau Stephanie danke ich für die Unterstützung, das Verständnis und die Geduld während der Arbeit.

Bochum, den 8. Mai 2003

Tobias Ellermeyer

Lebenslauf

- 1.3.1971 geboren in Essen
- 1977 bis 1981 Grundschule in Witten-Herbede
- 1981 bis 1990 Hardenstein-Gymnasium in Witten-Herbede
- 1991 bis 1997 Studium der Elektrotechnik und Informations-
technik an der Ruhr-Universität Bochum, Ab-
schluss Diplom
- 1997 bis 2001 Wissenschaftlicher Mitarbeiter am Lehrstuhl
für Elektronische Bauelemente (jetzt Lehrstuhl
für Integrierte Schaltungen) an der Ruhr-
Universität Bochum
- 01/2002 bis 10/2002 Design Engineering Manager
–Mixed-Signal Product Development–
Multilink Technology GmbH, Bochum
- seit 11/2002 Entwicklungsingenieur/Projektleiter
–Integrierte Hochgeschwindigkeitsschaltungen–
Micram Microelectronic GmbH, Bochum